



Kayseri Üniversitesi
Mühendislik-Mimarlık ve Tasarım Fakültesi
Elektrik-Elektronik Mühendisliği Bölümü

PROGRAMLANABİLİR LOJİK ELEMANLAR

Dr. Öğr. Üyesi Ahmet GANİ

DERS İÇERİĞİ

- Programlanabilir Diziler
- Programlanabilir Lojik Elemanların Sınıflandırılması
- Programlanabilir Yalnız Okunabilen Bellekler (PROM'lar)
- Programlanabilir Dizi Lojik (PAL)
- Programlanabilir Lojik Diziler (PLA)
- Genel Kapsamlı Dizi Lojik (GAL)
- Programlanabilir Lojik Sıralar
- Silinebilir – Programlanabilir Lojik Elemanlar (EPLD)
- PLD'lerin programlanması

AMAÇLAR

- Programlanabilir lojik elemanların tanıtılması ve gruplandırılması
- PROM'ların çalışma prensiplerinin açıklanması
- PAL devrelerinin detaylandırılması
- PLA elemanlarının tanıtılması
- GAL elemanlarının açıklanması
- EPLD'nin temel prensiplerinin öğretilmesi
- Örnek PLD uygulamalarının incelenmesi

GİRİŞ

Daha önceki bölümlerde kullandığımız lojik kapılar ile oluşturulan devrelerde çok karmaşık bağlantılar oluşmakta ve oluşan devre kompleks bir yapıya sahip olmaktadır. Karmaşık bağlantılar, geniş alan kaplayan ve bağlantıları için özel yöntemler (baskı devre tekniği vb.) gerektiren devreler ortaya çıkarır. Devre elemanın sayısının artması ve baskı devre kartı boyutunun büyümesi sonucunda, her bir devre elemanının zamanlama gecikmeleri ve sinyalleşme etkileri devrenin yanlış çalışmasına neden olabilmekte, hatanın bulunmasını ve düzeltilmesini güçleştirmektedir. Devrelerin boyutunu küçültmek ve karmaşıklığını azaltmak amacıyla, kullanım yerine ve yapacağı işe göre şekillendirilebilen lojik elemanlar geliştirilmiştir. Kullanıcı tarafından, yapılmak istenen işleme göre şekillendirilebilen bu elemanlar, 'Programlanabilir Lojik Elemanlar' (Programmable Logic Devices -PLD) olarak adlandırılır. Tüm sayısal fonksiyonların tek bir entegre tarafından gerçekleştirildiği tasarımlar, karmaşık devreleri / sistemleri gerçekleştirmek için en uygun çözümdür.

GİRİŞ

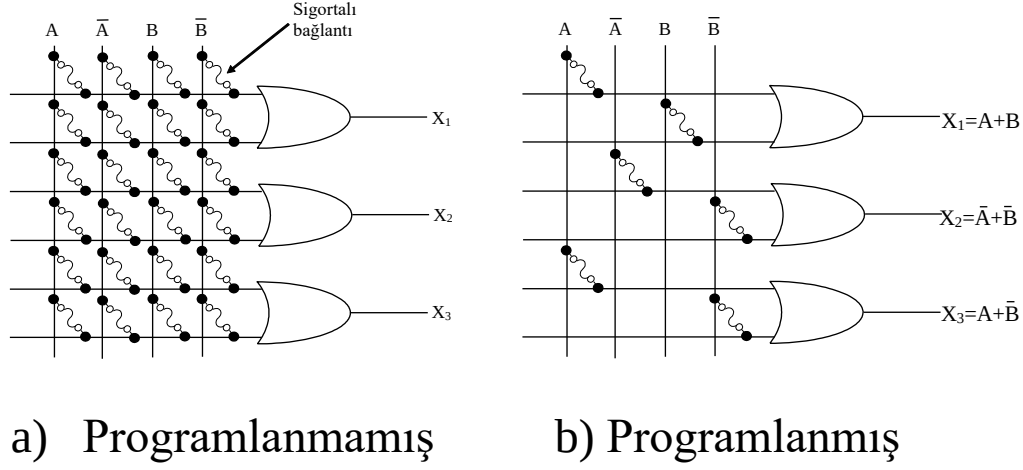
Programlanabilir lojik elemanlar olarak isimlendirilen elemanların 'programlanabilir' olarak isimlendirilmesinin nedeni; entegre olarak üretimden sonra, iç yapısının yapılmak istenen işleme göre şekillendirilebilmesidir. Entegrelerin iç yapısının şekillendirilebilmesi işlemi; tasarımcının, bir çok değişkene sahip çarpımların - toplamı şeklindeki işlemleri programlayabilmesi ve programlama işlemini basit yöntemlerle gerçekleştirilebilmesidir.

Programlama işleminin amacı; lojik eşitlikleri daha az entegre ile oluşturmak ve kablolar veya baskılı devre ile elemanları birbirine bağlamak şeklindeki fiziki bağlantılara ihtiyaç kalmadan lojik devreleri gerçekleştirebilmektir. Bir entegre içerisinde bulunan bağlantıların gerçekleştirilmek istenen işleme göre şekillendirilebilmesi, belirtilen amaca ulaşmaya olanak tanır.

GİRİŞ

Entegrenin programlanması, entegre dahili veri hatları üzerinde bulunan sigortaların artırılması (PROM'larda olduğu gibi) şeklinde gerçekleştirilir. Sigorta, entegrenin üretimi sırasında ince metal şerit veya diğer iletkenler kullanılarak oluşturulur (Şekil 1.a). Sigorta bozulmadığı zaman, entegre içerisinde bulunan elemanlar arasında iletişimleri sağlayan tüm hatlar sağlamdır ve giriş bilgileri hatlar boyunca iletilir. Sigorta arttırıldığı zaman, hatlar arasında bulunan bağlantılar kaldırılır ve giriş sinyali bağlantının kaldırıldığı yerden sonraya aktarılmaz (Şekil 1.b). İlk PLD'lerde kullanılan bu yapı, tek programlı aygıtlar (one time programmable-OTP) olarak adlandırılır. Elemanların birden çok programlanmasına imkan tanıyan ve MOS teknolojisi kullanılarak oluşturulan programlanabilir elemanlar, ultraviyole ışınla silinip-programlanabilen lojik elemanlar (Eraseable PLD-EPLD) ve elektriksel olarak silinip-programlanabilen elemanlar (Electrically Eraseable PLD-E2PLD) olmak üzere iki farklı yapıda üretilirler. Elektriksel olarak silinebilmesi ve yeniden programlanabilmesi için programlama cihazlarına ihtiyaç duyulan E2PLD'ler, 50 msn'lik sürede silinebilir ve ortalama 100 kere yeniden programlanabilir.

GİRİŞ



Şekil 1. Programlanabilir lojik elemanların iç yapısı ve örnek uygulama

Lojik kapılar kısmında açıklandığı gibi, tüm lojik fonksiyonların ‘çarpımların - toplamı’ formundaki (mintermlerin toplamı) eşitlikler ile gerçekleştirilmesi mümkündür. Bu genelleme, programlanabilir lojik elemanları oluşturma fikrinin başlangıcını oluşturmuştur. Programlanabilir elemanları oluşturmada, önce çarpma ve toplama işlemlerini (VE/VEYA kapılarını) oluşturacak bağlantılar gerçekleştirilir.

GİRİŞ

Bağlantıları gerçekleştirmede çeşitli yöntemler kullanılır. Farklı kaynaklarda, değişik isimlerle anılan gruplandırmalar genel olarak aşağıdaki şekilde yapılabilir:

- i- Programlanabilir Yalnızca Okunabilir Bellekler (Programmable ROM - PROM),
 - ii- Programlanabilir Lojik Dizileri (Programmable Logic Array – PLA),
 - iii- Programlanabilir Dizi Lojik (Programmable Array Logic – PAL),
 - iv- Programlanabilir Lojik Sıralar (Programmable Logic Sequences – PLS),
 - v- Silinebilir – Programlanabilir Lojik Elemanlar (Erasable – Programmable Logic Devices – EPDL)
 - vi- Genel Kapsamlı Dizi Lojik (Generic Array Logic – GAL).
 - vii- Programlanabilir Ardışıl Diziler (Programmable Sequential Array-PSA)
- Yapılan sınıflandırmada; yalnızca VE-VEYA kapılarının programlanması ile oluşturulan devreler, **‘programlanabilir bileşik devreler’** olarak isimlendirilirken, FF içeren ve kapı devreleri ile birlikte FF’ların programlandığı devreler, **‘programlanabilir ardışıl devreler’** olarak adlandırılır. Diğer taraftan, programlanabilir elemanlar; programlama işleminin bir kez mümkün olduğu elemanlar (PROM, PAL, PLA) ve birden çok kez programlanmaya imkan tanıyan elemanlar (EPROM, E²PROM, EPDL) olarak alt gruplara ayrılabilirler.

GİRİŞ

Yukarıdaki yöntemlerden hangisi kullanılırsa kullanılsın, programlama işlemi için dizilerden faydalanılır. Bu nedenle programlanabilir lojik elemanların (PLD) yapım tekniklerini detaylandırmadan önce, PLD’lerde kullanılan dizileri inceleyelim.

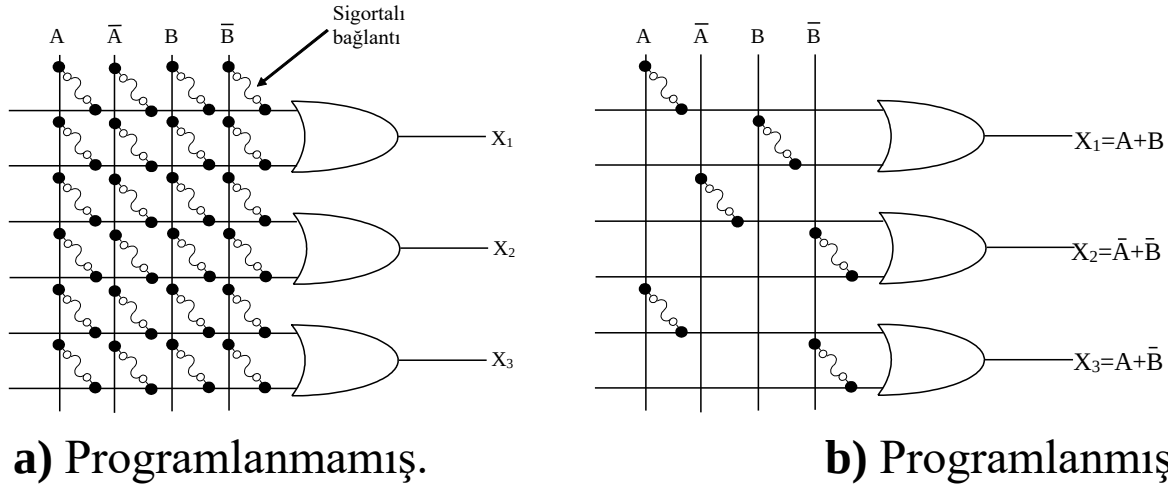
1. Programlanabilir Diziler

Tüm PLD’ler, programlanabilir diziler içerirler. Programlanabilir dizi, her bir kesişim noktasında sigortalı bağlantı bulunan, sütunlar ve satırlar şeklinde düzenlenen iletkenler kombinasyonudur. En basit dizi, sütun ve satır kesişme noktalarında sigorta bulunan diyot matrisidir. Programlama işlemi; sütun ve satırların kesişme noktalarında bulunan sigortaların atırılması veya istenilen lojik işlemi gerçekleştirecek şekilde bırakılmasıdır.

Programlanabilir elemanlarda yaygın olarak kullanılan diziler, ‘VEYA dizisi’ ve ‘VE dizisi’ olarak gruplara ayrılabilir.

GİRİŞ

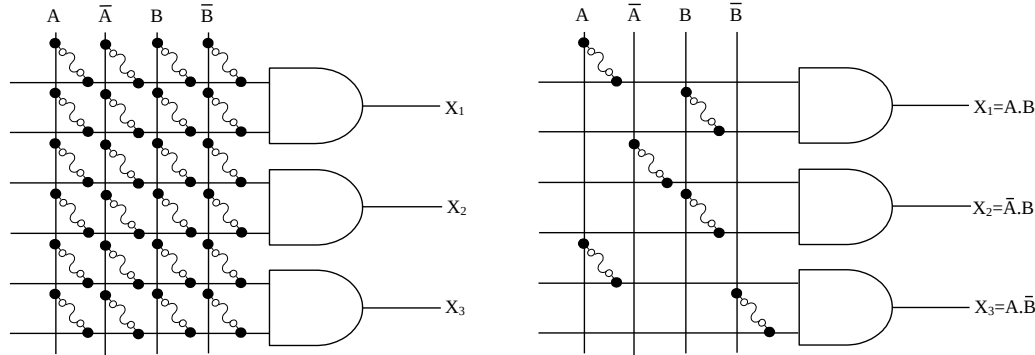
VEYA Dizisi (OR Array) : Satır ve sütunlardan oluşan matris şeklindeki düzeneklerde, giriş değişkenleri sütunlara uygulanır. Çıkışta oluşturulacak fonksiyona göre, sütunlar ile satırlar arasında bilgi geçişini sağlayan sigortalar attırılır veya olduğu gibi bırakılır. Bilgilerin çıkış fonksiyonu olarak ifade edilmesi sırasında ‘VEYA’ kapıları kullanılması, ‘VEYA DİZİSİ’ olarak adlandırılır (Şekil 2.a). Dizide kullanılan VEYA kapılarının her bir girişine bir değişken uygulanacak şekilde sigortalar şekillendirilir. Şekillendirme işleminde, çıkışa aktarılması istenmeyen değişkenleri satırlara aktaran sigortalar attırılır (Şekil 2.b). Attırılan sigortaların tekrar eski şekline dönüştürülmesi mümkün değildir.



Şekil 2. Programlanabilir lojik elemanların iç yapısı ve örnek uygulama.

‘VE Dizisi (AND Array) :

Giriş değişkenlerinin çıkışa aktarılması için sütun ve satırlar arasında sigortaların şekillendirildiği ve çıkış fonksiyonu oluşturulmasında ‘VE’ kapılarının kullanıldığı programlanabilir lojik elemanlar, ‘VE DİZİSİ’ olarak adlandırılır (Şekil 3a). Çıkışta oluşması istenmeyen değişkenleri temsil eden sigortalar attırılır ve yalnızca çıkış fonksiyonunda bulunan değişkenlere ait sigortalar sağlam bırakılır (Şekil 3.b). ‘VE’ dizisinde bulunan sigortalar da yalnızca bir kere programlanabilir yapıdadırlar.



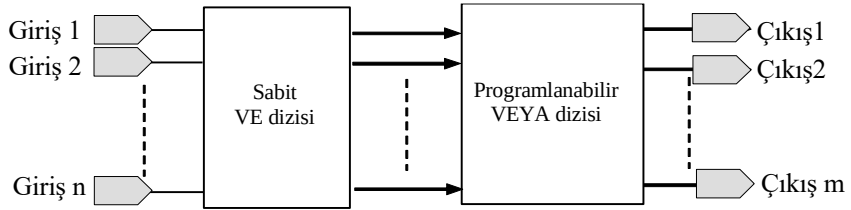
Şekil 3. ‘VE dizisi’ iç yapısı ve PLD’nin programlanması.

2. Programlanabilir Lojik Elemanların Sınıflandırılması

Programlanabilir lojik elemanlar, yapım şekillerine ve yapılarında kullanılan lojik devrelere göre daha önce bahsedilen çeşitli gruplara ayrılırlar. Bu gruplardan dört tanesi, temel yapı olarak diğerlerinin temelini oluştururlar. PLD'lerin temel yapım şekillerini oluşturan dört yapı aşağıdaki gibi özetlenebilir.

Programlanabilir Yalnız Okunabilen Bellekler (PROM'lar)

Programlanabilir lojik elemanlar olarak düşünebileceğimiz PROM'lar, kod çözücü olarak bağlanan sabit (programlanamayan) 'VE' dizisi ve programlanabilen 'VEYA' dizisi içerirler (Şekil 4).

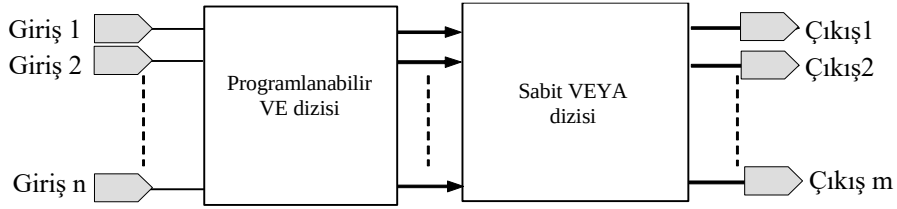


Şekil 4. Programlanabilir yalnızca okunabilir bellek (PROM) blok şeması.

PROM'lar minterm'lerin toplamı şeklinde yazılan bileşik devreleri gerçekleştirmek için uygun yapılardır. PROM'lar, sabit VE kapılarının neden olduğu kısıtlamalar nedeni ile, programlanabilir lojik elemandan daha çok adreslenebilir bellek olarak kullanılırlar.

Programlanabilir Dizi Lojik (PAL)

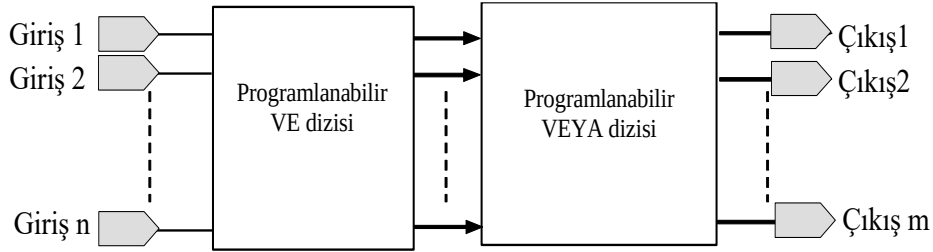
Programlanabilir dizi lojik (PAL), programlanabilir ‘VE’ dizisi ve çıkış devreleri sabit ‘VEYA’ dizisi içerir (Şekil 5). PAL devreleri, en yaygın kullanılan bir – kere programlanabilir lojik elemanlardır ve yapısında bipolar transistörler (TTL veya ECL) kullanılır. PAL elemanlar, çarpımların toplamı şeklinde ifade edilen lojik eşitlikleri gerçekleştirmek için uygun yapıdadırlar.



Şekil 5. Programlanabilir dizi lojik (PAL) blok şeması.

Programlanabilir Lojik Dizisi (PLA)

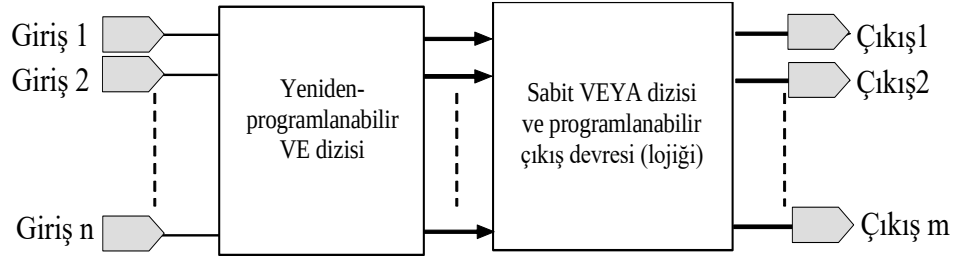
Programlanabilir lojik elemanlar ailesinden olan programlanabilir lojik dizisi (PLA), programlanabilir 'VE' dizisi ve programlanabilir 'VEYA' dizisi içerir (Şekil 6). PLA devreleri, PROM'ların sınırlamalarını ortadan kaldırmak için geliştirilmiştir. PLA devreleri, üreticiler tarafından programlanmayıp, kullanıcı tarafından kullanım yerinde programlanması nedeni ile, 'Alan programlanabilir lojik dizisi' (Field Programmable Logic Array – FPLA) olarak da adlandırılır. PLA elemanların sakıncası; iki programlanabilir dizi kullanılması sonucunda oluşan kompleks sigortalı devreler nedeniyle eleman içerisinde uzun işlem zamanı oluşmasıdır.



Şekil 6. Programlanabilir dizi lojik (PAL) blok şeması.

Genel Kapsamlı Dizi Lojik (GAL)

Son geliştirilen PLD elemanlarından olan genel kapsamlı dizi lojik (GAL), PAL elemanları gibi programlanabilir 'VE' dizisi ve sabit 'VEYA' dizisi ile programlanabilir çıkış devresi içerir (Şekil 7). GAL ile PAL arasındaki temel iki fark; GAL'ın yeniden programlanabilir olması ve GAL'ın programlanabilir çıkış devresine sahip olmasıdır. GAL elemanı yapısında bipolar transistör ve sigortalı hatlar yerine E2CMOS (Elektriksel silinebilir CMOS) teknolojisi kullanılması nedeni ile, GAL elemanı çok kere programlanabilir. PLD elemanları olarak kısaca açıklanan PROM, PLA, PAL ve GAL elemanlarını detaylandırarak inceleyelim.

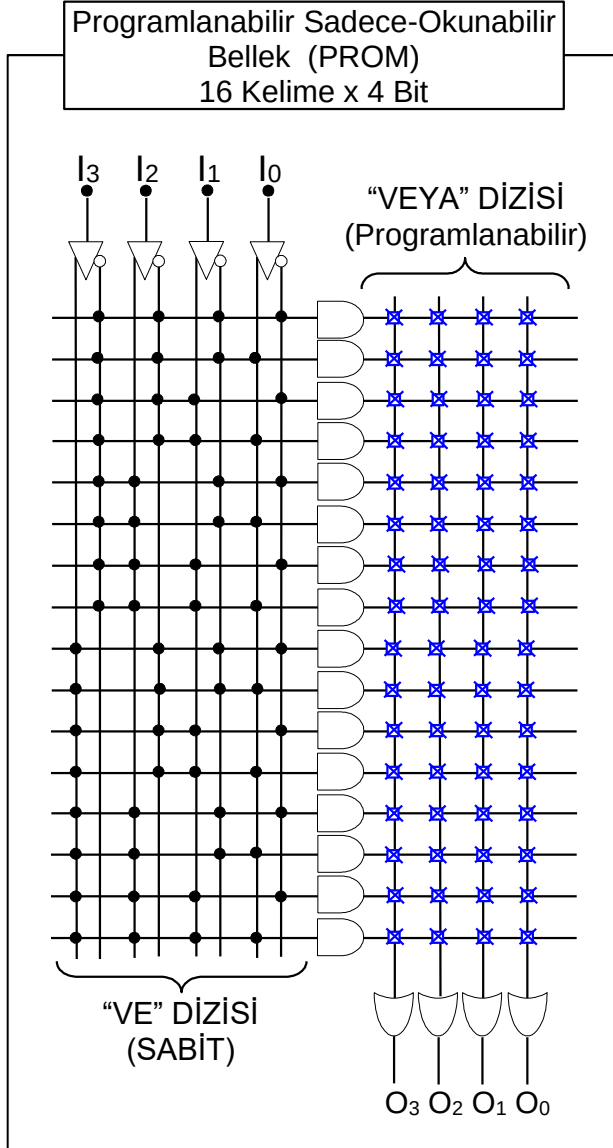


Şekil 7. Genel kapsamlı dizi lojik blok şeması.

3.Programlanabilir – Sadece Okunabilir Bellekler (PROM)

- Kullanıcı tarafından programlanabilen ilk eleman olan PROM’larda, programlama işlemi yalnızca bir kere mümkündür. Sabit ‘VE’ dizisi ile oluşturulan minterm ifadelerden istenilenlerin çıkışta gözükmesi, programlanabilir ‘VEYA’ dizisinin şekillendirilmesi ile sağlanır. Çıkışta oluşması istenmeyen minterm değerleri; Diğer bir deyişle; PROM devresinde ‘VE’ dizisi sabittir ve gerçekleştirilmek istenen işlem programlanabilir ‘VEYA’ dizisi ile gerçekleştirilmek zorundadır (Şekil 8).
- Dört girişli PROM devresinde VE kapıları çıkışlarında 16 adet minterm ifadesi üretilir. Gerçekleştirilmek istenen lojik eşitlikte temsil edilen mintermlere karşılık gelen bağlantılar VEYA kapıları yardımıyla çıkışa aktarılırken, istenmeyen durumların bağlı olduğu sigortalar attırılır.
- PROM’da bulunan sabit ‘VE’ dizisinin yapısı, giriş sayısı ile bağıntılı olarak üretim sırasında şekillendirilmiştir. Giriş sayısı PROM’un kapasitesini belirleyen en önemli etkindir. Giriş değişkenlerinin aldığı değerlerin uygulandığı sabit ‘VE’ dizisi, kod çözücü özellikleri göstererek uygun sayıda çıkış üretir. Bu durumda, dört girişli PROM’da 16 çıkışlı ‘VE’ dizisi, beş girişli devrede 32 çıkışlı ‘VE’ dizisi bulunur.
- ‘VEYA’ dizisinde, girişlere uygulanan minterm ifadelerden uygun olanların programlanabilir yapılar yardımı ile çıkış olarak gözükmesi sağlanır.

3.Programlanabilir – Sadece Okunabilir Bellekler (PROM)

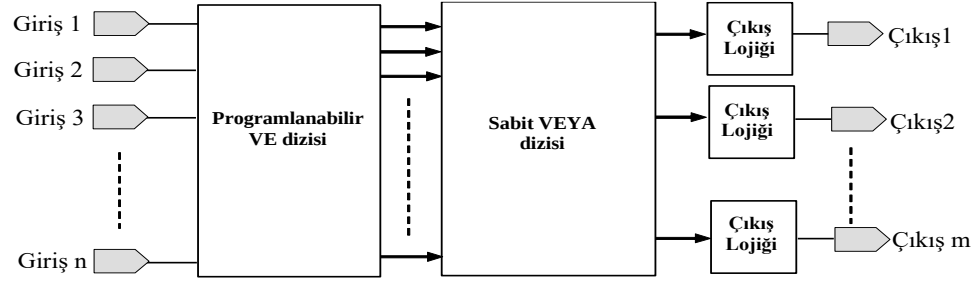


Şekil 8. PROM iç yapısı.

4. Programlanabilir Dizi Lojik (PAL)

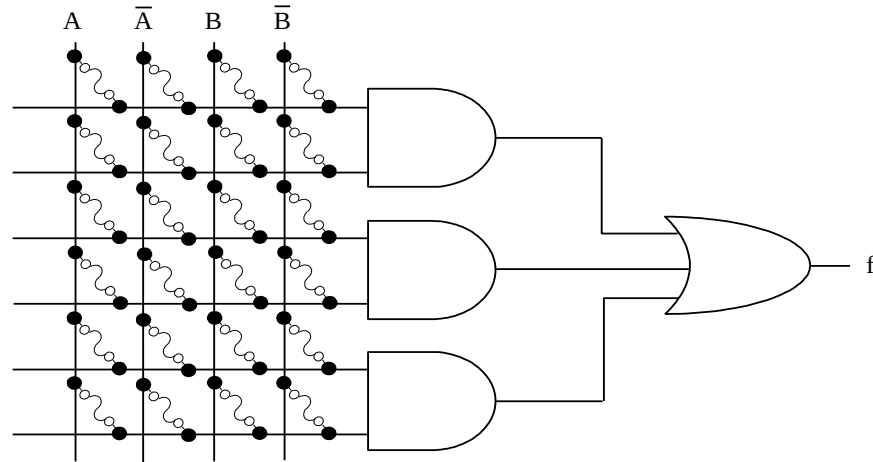
Programlanabilir 'VE' dizisi ve sabit bağı 'OR' dizisinden oluşan PAL elemanların yapısı, belirli sayıda giriş değişkenine sahip lojik eşitliklerin 'çarpımların – toplamı' şeklinde gerçekleştirilmesine imkan tanır. Tüm lojik eşitliklerin çarpımların-toplamı şeklinde ifade edilmesi mümkün olduğundan, gerçekleştirilmek istenen birleşik lojik devreleri PAL elemanları ile oluşturulabilir. Şekil 9'daki blok şeması ile özetlenebilecek olan PAL devrelerinde, girişler 'VE' dizisine uygulanır. 'VE' dizisinden elde edilen çıkışlar, 'VEYA' dizisine giriş olarak verilir. 'VEYA' dizisi çıkışları ise, PAL çıkışı olarak kullanılan lojik devrelere uygulanır. PAL elemanı; çok sayıda giriş ve yine çok sayıda çıkış devresine sahip olabilir (Şekil 9). Belirli PAL tiplerinde, aynı uçlar (pinler) giriş veya çıkış olarak programlanabilir. Bu özellikler nedeni ile, çıkış devresi programlanabilme özelliği kazanır.

4. Programlanabilir Dizi Lojik (PAL)



Şekil 9. PAL giriş – çıkış devrelerinin organizasyonu.

Daha önce açıklandığı üzere programlanabilir dizi; satır ve sütunlardan oluşan bir sistemde, satır ve sütunların sigorta özelliğinde bir iletken ile birleştirilmesi ile oluşur. Satır ve sütunların kesişim noktasında bulunan sigorta, ‘**hücre**’ (cell) olarak adlandırılır ve PAL elemanının programlanabilir elementini oluşturur. PAL’da bulunan her bir satır bir ‘VE’ kapısı girişine, her bir sütun ise giriş değişkenlerinden birisine (kendisine veya tersine) bağlanmıştır (Şekil 10).



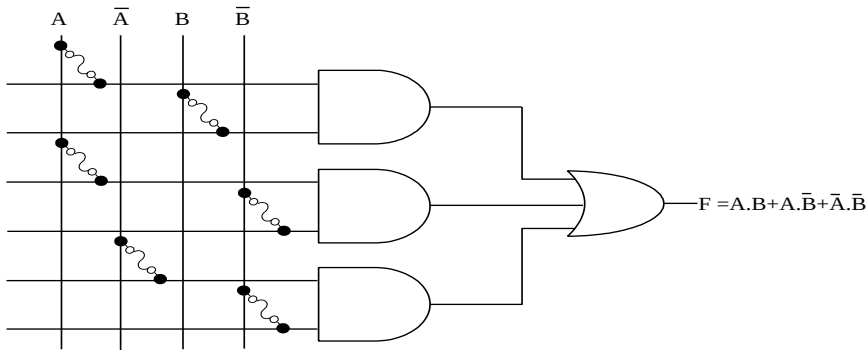
Şekil 10. PAL’in temel yapısı.

4. Programlanabilir Dizi Lojik (PAL)

Programlama ile satır ve sütunlar arasında bulunan sigortanın sağlam bırakılması veya attırılması sağlanır. Giriş değişkenlerinin ve terslerinin bir 'VE' kapısına giriş olarak uygulanması, istenilen çarpma işlemlerinin oluşmasını sağlar. Çarpma işlemlerini gerçekleştiren 'VE' kapılarının çıkışları, 'VEYA' kapılarına uygulanır ve çarpımların – toplamı işlemi gerçekleştirilir.

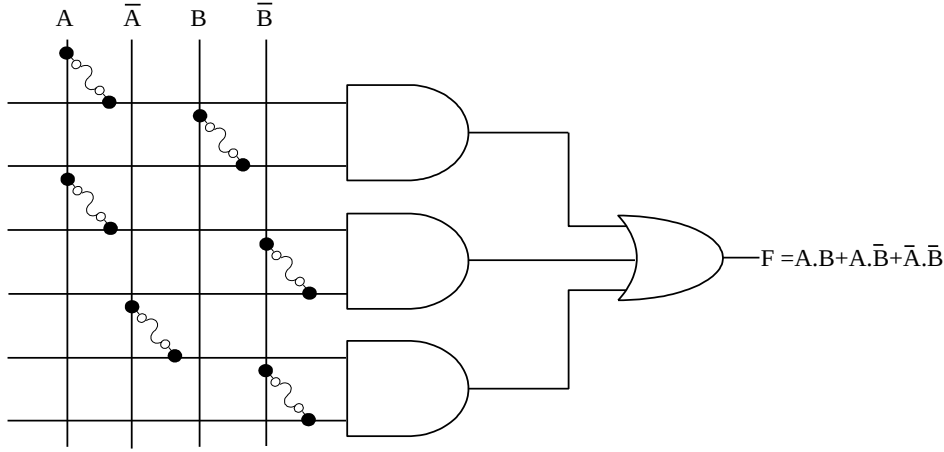
Örnek 1: Şekil 10'da verilen yapıya sahip PAL elemanını kullanarak, $f = AB + AB' + A'B'$ Boolean eşitliğini gerçekleştirelim.

Verilen eşitlikteki ilk çarpma terimi (AB) en üstteki 'VE' kapısı ile, ikinci terim (AB') ortadaki 'VE' kapısı ile, en sondaki terim olan (A'B') ise alttaki 'VE' kapısı ile gerçekleştirilirse, Şekil 11'deki bağlantılar oluşur. İlk terimde A ve B değişkenlerinin kendileri bulunduğundan, A ve B değişkenlerini temsil eden sütunlar ile satırlar arasındaki sigortalar sağlam bırakılırken, değişkenlerin değillerini temsil eden sütunlar ile satırlar arasındaki sigortalar attırılır. Böylece AB işlemi 'VE' kapısı çıkışında oluşur. Eşitlikteki ikinci terimde AB' işlemi istendiğinden, ilgili sütunlar ile ortadaki 'VE' kapısına bağlı satırlar arasındaki sigortalar sağlam bırakılıp, diğerleri (A' ve B) attırılır. Böylece ortadaki 'VE' kapısında AB' işlemi oluşur.



Şekil 11. Çarpımların toplamı işleminin PAL ile oluşturulması.

4. Programlanabilir Dizi Lojik (PAL)



Şekil 11. Çarpımların toplamı işleminin PAL ile oluşturulması.

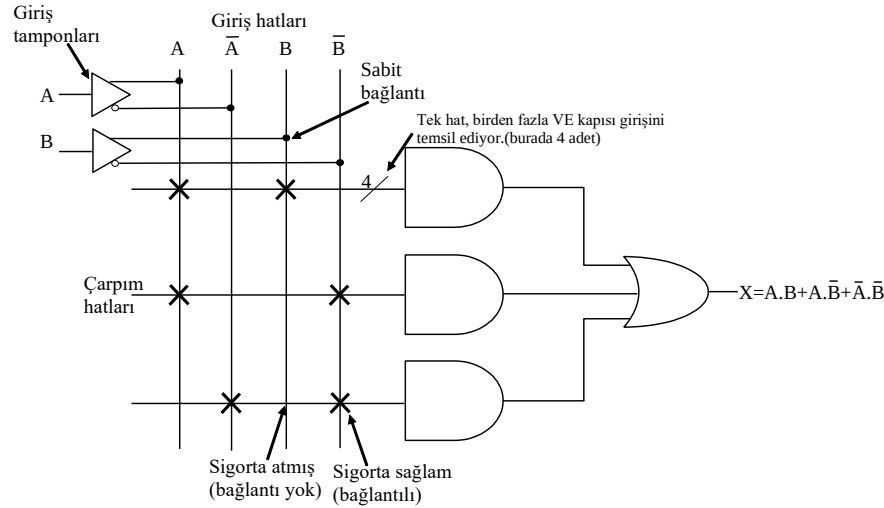
Benzer şekilde, alttaki ‘VE’ kapısına bağlı satırlar ile, $A'B'$ değişkenlerini temsil eden sütunlar arasındaki sigortalar sağlam bırakılırken, hücrelerde bulunan diğer sigortalar attırılır. Böylece, ‘VE’ kapısı çıkışında $A'B'$ eşitliği oluşur.

PAL’da bulunan üç adet ‘VE’ kapısı çıkışı, üç girişli ‘VEYA’ kapısına bağlanırsa, çarpımların – toplamı işlemi gerçekleşir ve ‘VEYA’ kapısı çıkışında:

$f = AB + AB' + A'B'$ eşitliği elde edilir (Şekil 11). PAL’lerin, karmaşık ve kompleks bir yapıya sahip olması nedeni ile, devrenin gösterimini basitleştirmek devrenin anlaşılmasını kolaylaştırır. Programlama işleminde kullanılan sigortaların durumlarını göstermek için ‘X’ sembolleri kullanmak devrenin görünümünü basitleştirir. Programlama sonucunda sağlam kalan sigortaları temsil etmek için ‘X’ sembolü konulurken, attırılan sigortaların yerleri boş bırakılır (Şekil 12). Ayrıca tüm girişler tek bir hat olarak gösterilebilir.

4. Programlanabilir Dizi Lojik (PAL)

Örnek 2: Şekil 11’de verilen ve $f = AB + AB' + A'B'$ ifadesini gerçekleştiren devreyi belirttiğimiz hususlara göre tekrar çizersek, Şekil 12’deki devre oluşur. Devrede giriş değişkenleri tamponlara uygulamakta ve her bir tampon çıkışında ilgili değişkenlerin kendisi ve tersi oluşmaktadır. Oluşan değerler sütunlara uygulanıp, hücrelerde bulunan sigortaların şekillendirilmesi (attırılıp veya sağlam bırakılması) ile değişkenlerin ‘VE’ kapılarına verilmesi sağlanır.



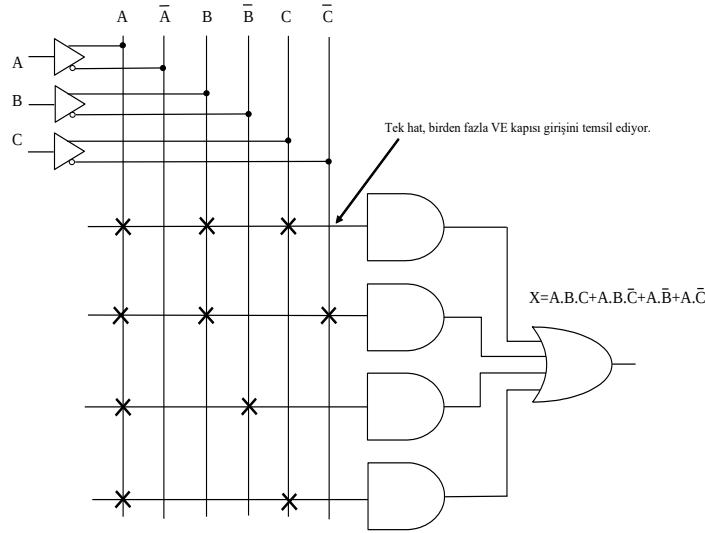
Şekil 12. Programlanmış PAL şemasının sadeleştirilmesi.

4. Programlanabilir Dizi Lojik (PAL)

Örnek 3: Aşağıda verilen üç değişkenli lojik eşitliği PAL elemanları ile gerçekleştirelim.

$$f = ABC + ABC' + AB' + AC$$

Verilen eşitlikteki çarpım ifadelerini gerçekleştirmek için değişkenler veya deęilleri ‘VE’ kapılarına uygulanır. ‘VE’ kapıları çıkışları, ‘VEYA’ kapılarına uygulanarak toplama işlemleri gerçekleştirilir. Şematik gösterimde kullanılan ‘X’ işaretli yerler bağlantı noktalarını göstermektedir.



Şekil 13. Üç değişkenli eşitliğin PAL ile gerçekleştirilmesi.

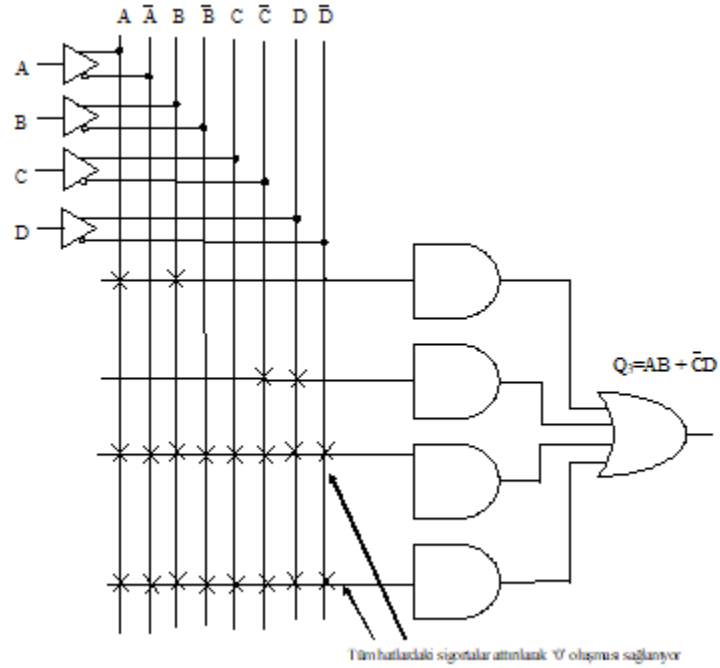
4. Programlanabilir Dizi Lojik (PAL)

Örnek 4: Dört giriş ve dört çıkışa sahip PAL ile;

$Q_0 = A + BD' + CD'$, $Q_1 = ABC'D' + A'B'CD$, $Q_2 = AB'C$ ve $Q_3 = AB + C'D$ eşitliklerini gerçekleştirecek lojik devreyi oluşturalım.

Programlanabilir ‘VE’ dizileri ile sabit ‘VEYA’ dizilerine sahip PAL entegresinden her bir ‘VE’ kapısı dört değişkenin veya tümleyenin kombinasyonunu üretmek için programlanabilir. Her bir ‘VEYA’ kapısına sadece dört adet ‘VE’ kapısı çıkışı bağlanabilir. Belirtilen kısıtlamalar ile, verilen lojik eşitlikleri gerçekleştirecek devrenin çizilmesi ile Şekil 14’deki devre oluşur. Lojik ifadelerin oluşturulmasına örnek olarak, Q_3 olarak isimlendirdiğimiz çıkışın oluşumunu incelersek; $Q_3 = AB + C'D$ eşitliğini gerçekleştirebilmek için; 1 ve 2 no’lu ‘VE’ kapılarının girişleri programlanarak belirtilen minterm’ler oluşturulur. Ancak her bir ‘VEYA’ kapısına dört adet ‘VE’ kapısı çıkışı bağlanması gerektiğinden $Q_3 = AB + C'D + 0 + 0$ eşitliği oluşturulur. ‘VE’ kapısının çıkışının ‘0’ olması için; tüm girişlerdeki sigortalar sağlam bırakılarak $A.A'.B.B'.C.C'.D.D'$ eşitliği üretilir. ‘VE’ kapısının 4 no’lu girişi de aynı şekilde bırakılarak çıkışında ‘0’ oluşması sağlanır. Diğer çıkışlarında da istenen eşitliklerin oluşması için gerekli programlama yapılır.

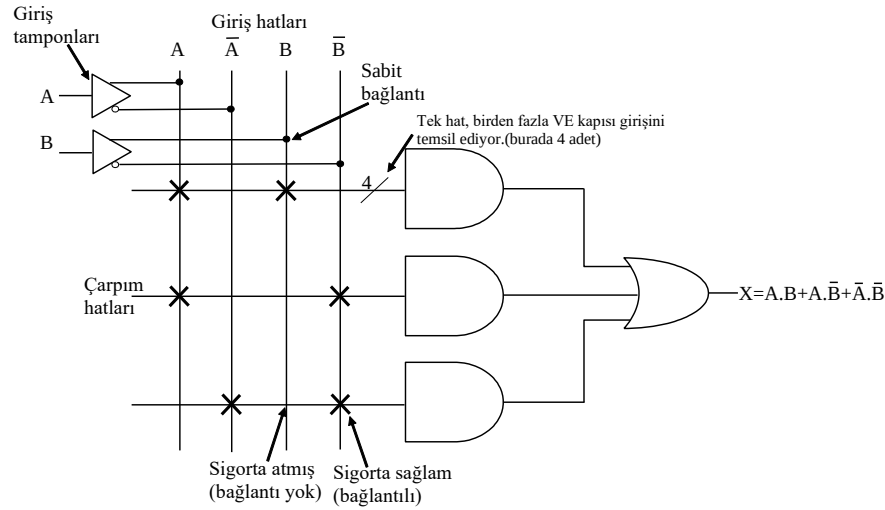
4. Programlanabilir Dizi Lojik (PAL)



Şekil 14. Dört değişkenli lojik eşitliğin PAL ile gerçekleştirilmesi.

4.1. PAL Giriş ve Çıkış Lojik Devreleri

PAL’lerde kullanılan ‘VE’ kapıları, çok sayıda giriş hattından gelen bilgilerin aynı anda uygulandığı girişlere sahiptirler. Diğer bir deyişle; ‘VE’ kapısında bulunan bir girişe normalde çok sayıda giriş hattı bağlıdır. PAL’lerde giriş devresi olarak ‘VE’ kapı devrelerinden önce tampon’lar (buffers) kullanılır. Girişin aşırı yüklenmesini engelleyen tamponlar, aynı zamanda giriş değişkenlerinin tersini alma işlemini gerçekleştirir. Diğer bir deyişle, girişte kullanılan tampon çıkışlarında giriş değişkeninin kendisi ve tersi elde edilir (Şekil 15).

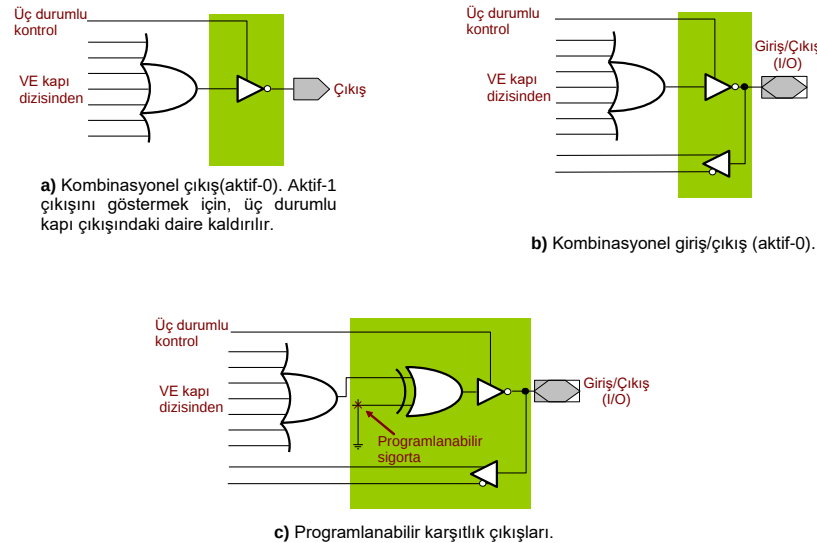


Şekil 15. PAL’de kullanılan giriş devresinin yapısı.

4.1. PAL Giriş ve Çıkış Lojik Devreleri

PAL çıkışları, birleşik devreler kullanılarak oluşturulur. Uygulama yerine göre şekillendirilebilen PAL çıkışları farklı yapılarda üretilirler. Biz sadece geniş kullanıma sahip üç farklı yapıyı inceleyelim.

- i. **Birleşik Lojik Çıkış** : Pinlerin yalnızca çıkış olarak kullanıldığı ve toplama işleminin gerçekleştirildiği bu tipte çıkış aktif '1' veya aktif '0' olabilir (Şekil 16.a).
- ii. **Birleşik Lojik Giriş / Çıkış (I/O)** : Bu tipte entegre pinleri, giriş veya çıkış olarak programlanabilir. Çıkış eşitliği giriş dizisine geri besleme bilgisi olarak uygulanabildiği gibi yalnızca harici girişler kullanılabilir (Şekil 16.b).
- iii. **Programlanabilir Karşıtlık Çıkışı** : Çıkış, oluşturulmak istenen eşitliğin kendisi veya değili olarak şekillendirilebilir. Çıkışın şekillendirilmesi, bir 'ÖZEL VEYA' kapısının programlanması ile yapılır. 'ÖZEL VEYA' kapısının girişlerinden birisine konan sigortanın durumuna göre çıkış programlanır. Sigortanın atırılması ile çıkışta eşitliğin 'tersi' elde edilirken, sigortanın normal bırakılması ile eşitliğin normal çıkışı elde edilir (Şekil 16.c).



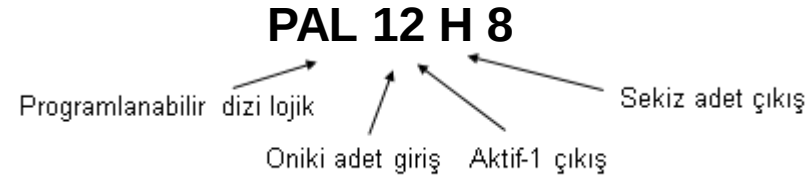
Şekil 16. PAL'de kullanılan birleşik lojik çıkış devresi çeşitleri

4.2. PAL'lerde İsimlendirme Sistemi

Standart PAL'ler, farklı konfigürasyonlarda üretilebilirler. Herbir konfigürasyon kendi numaralandırma sistemi ile açıklanır. PAL'leri numaralandırma, numaralardan önce ön ek olarak kullanılan PAL ile başlar. PAL ön ekini takip eden sayı, giriş pini sayısını ve giriş olarak programlanabilen çıkış pini sayısını belirtir. Giriş sayısını takip eden harf, çıkış şeklini belirtir. L-aktif '0', H-aktif '1' P- programlanabilir karşıtlık çıkışı olduğunu gösterir. En sonda bulunan rakam ise, çıkış pini sayısını ifade eder. Belirtilen işaretlerden sonra elemanın hızını, paketleme tipini ve çalışma sıcaklığını belirten ekler konulabilir.

Örnek 5 : PAL entegresi üzerinde bulunan 'PAL 12 H 8' ismini inceleyelim.

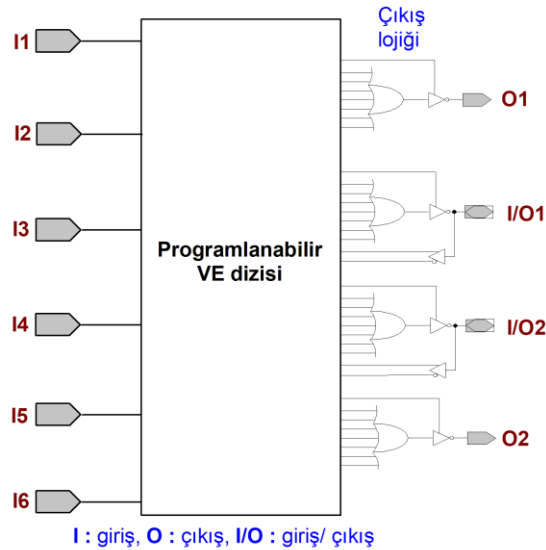
Verilen ismin her bir parçası ayrı olarak değerlendirilip, ilgili özellik yazılır.



4.2. PAL'lerde İsimlendirme Sistemi

Örnek 6 : Şekil 17’de blok şeması verilen PAL8L4 entegresinin özelliklerini inceleyelim.

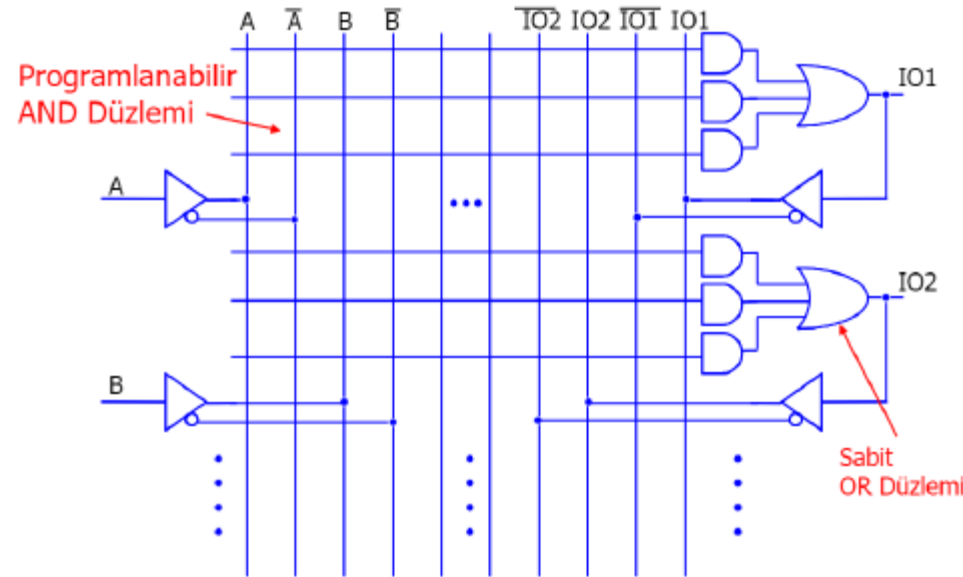
Entegre 8 giriş ve 4 adet çıkış içerir. Ancak 6 adet bağımsız giriş bulunurken, 2 adet giriş olarak programlanabilen pin bulunmaktadır. 2 adet bağımsız çıkış yanında, iki adet çıkış olarak programlanabilen giriş / çıkış ucu mevcuttur. Bu durumda giriş sayısı en fazla 8, çıkış sayısı en fazla 4 olabilecek bağlantılar oluşturulabilir. Çıkışlar aktif – 0 dır.



Şekil 17. PAL8L4 entegresinin blok şeması

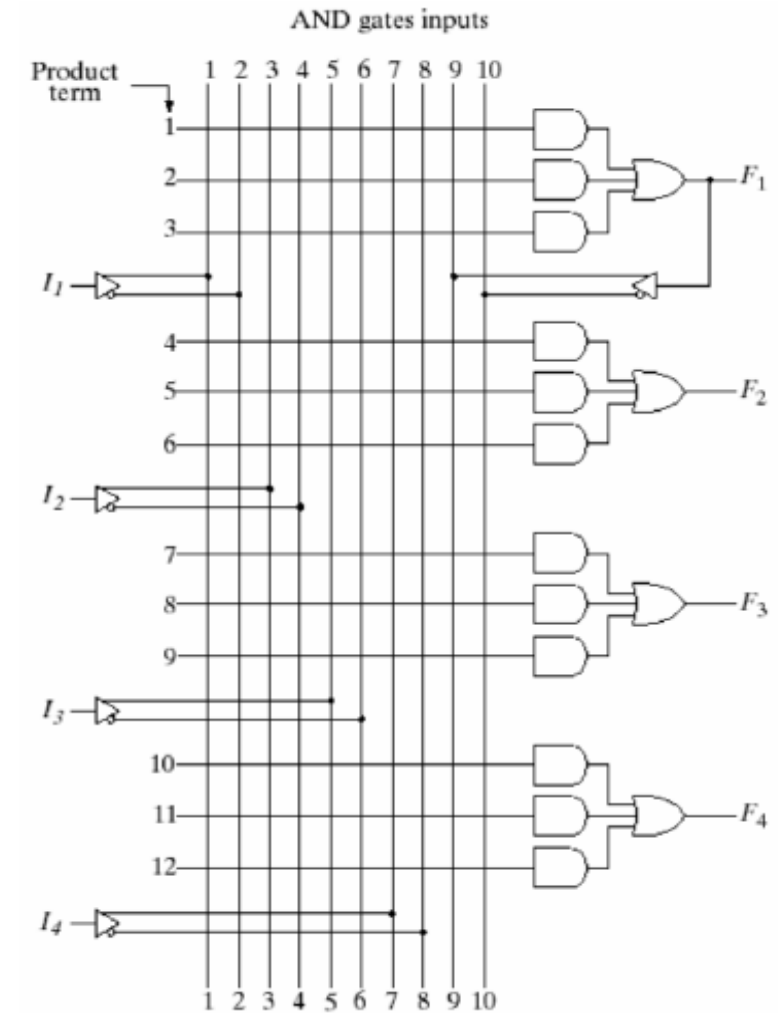
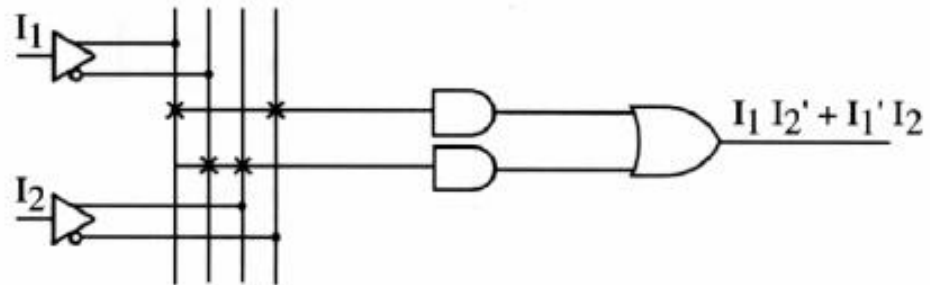
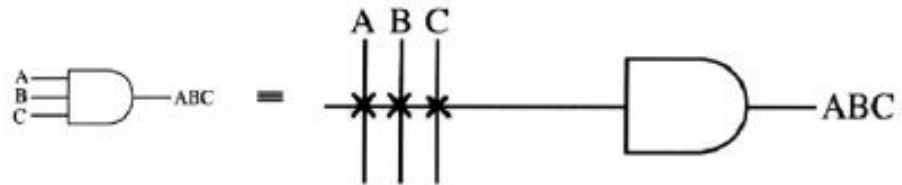
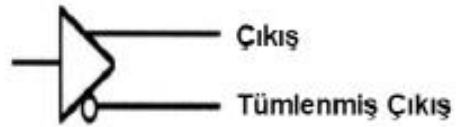
4.3. PAL Özet

- Programlanabilen VE kapı dizisiyle Sabit VEYA kapı dizisi şeklinde bir yapıya sahiptir.
- Sadece VE kapı dizisi programlanabilmektedir. Girişler VE kapısına verilmeden önce programlanmaktadır.
- Bu elemanlarla çarpımların toplamı şeklinde verilmiş ifadelerin indirgenmiş şekilleri gerçekleştirilir.



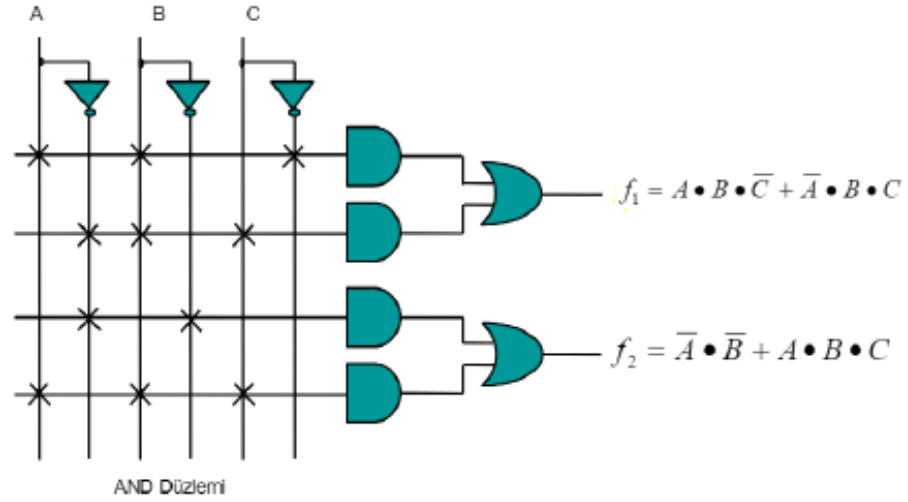
4.3.1 PAL Programlama

PAL'ın Programlanması

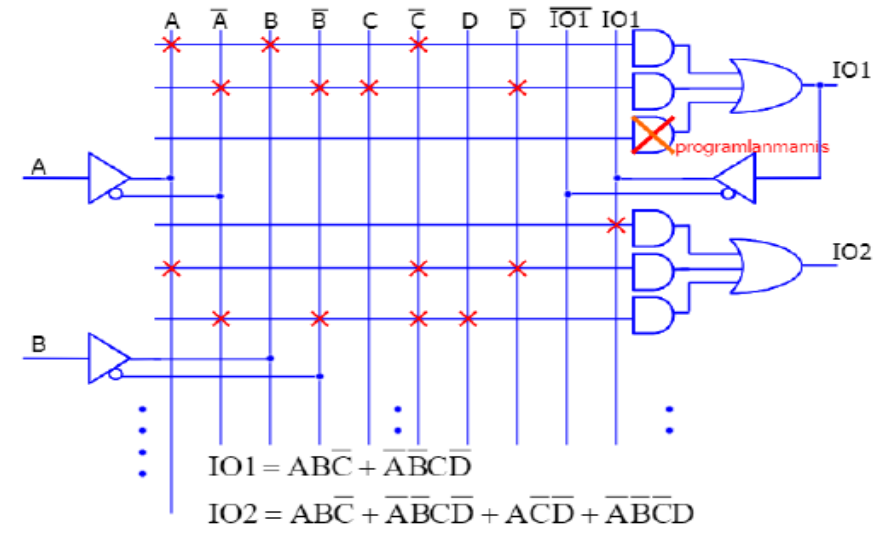


ÖRNEKLER

Örnek: 1



Örnek: 2



ÖRNEKLER

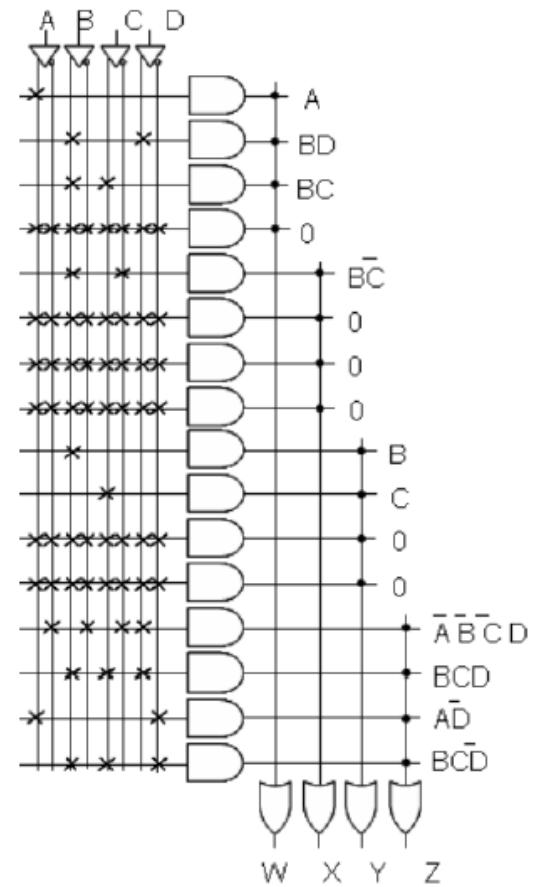
Örnek: 3

$$W = A + B D + B C$$

$$X = B C'$$

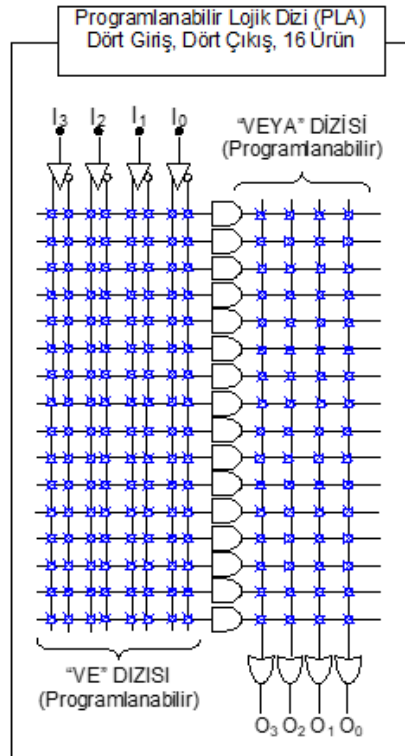
$$Y = B + C$$

$$Z = A' B' C' D + B C D + A D' + B C D'$$

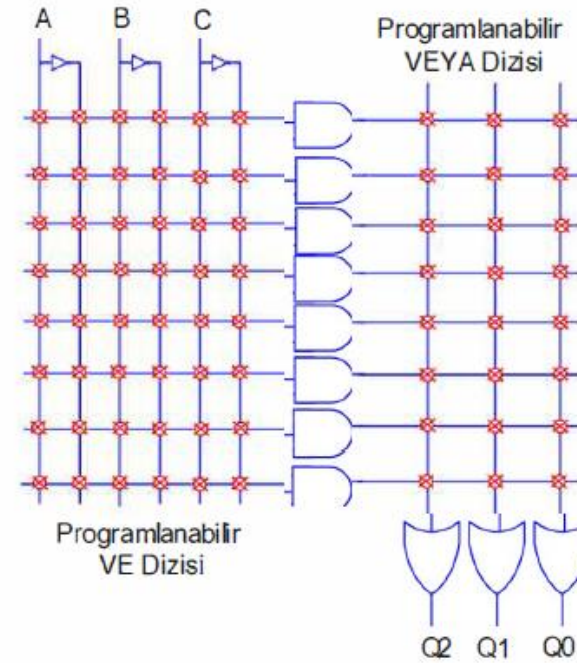


Programmable Logic Array (PLA)

- PLA, Programlanabilen VE kapı dizisiyle programlanabilen VEYA kapı dizisi içenektir. Hem VE dizisi öncesi hem de VEYA dizisi öncesi programlamak için sigortalar vardır.



PLA'nın iç yapısı

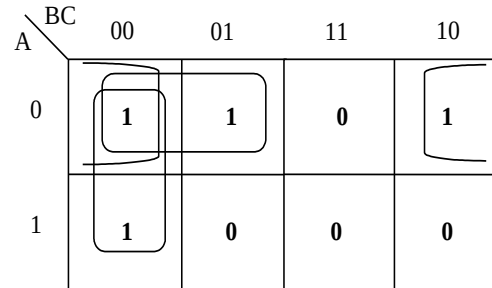


Programmable Logic Array (PLA)

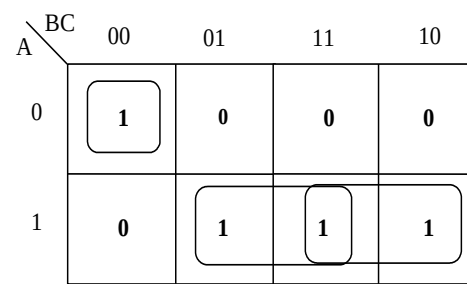
PLA'nın programlanması işleminde takip edilecek işlem sırasını bir örnekle birlikte açıklayalım.

Örnek olarak tasarlayacağımız, aşağıda doğruluk tablosu verilen devrede üç giriş ve iki çıkış bulunmaktadır. İlk işlem olarak; tasarlanacak devredeki işlemleri tanımlayan doğruluk tablosundaki değerler, Karnaugh şeması yardımı ile sadeleştirilmiş lojik ifadeler şekline dönüştürülür. Tasarlanan devreye ait doğruluk tablosunun çıkış sütunlarındaki değerler iki farklı Karnaugh haritasına taşınırsa, çıkışları temsil eden iki lojik eşitlik elde edilir.

A B C	F ₁	F ₂
0 0 0	1	1
0 0 1	1	0
0 1 0	1	0
0 1 1	0	0
1 0 0	1	0
1 0 1	0	1
1 1 0	0	1
1 1 1	0	1



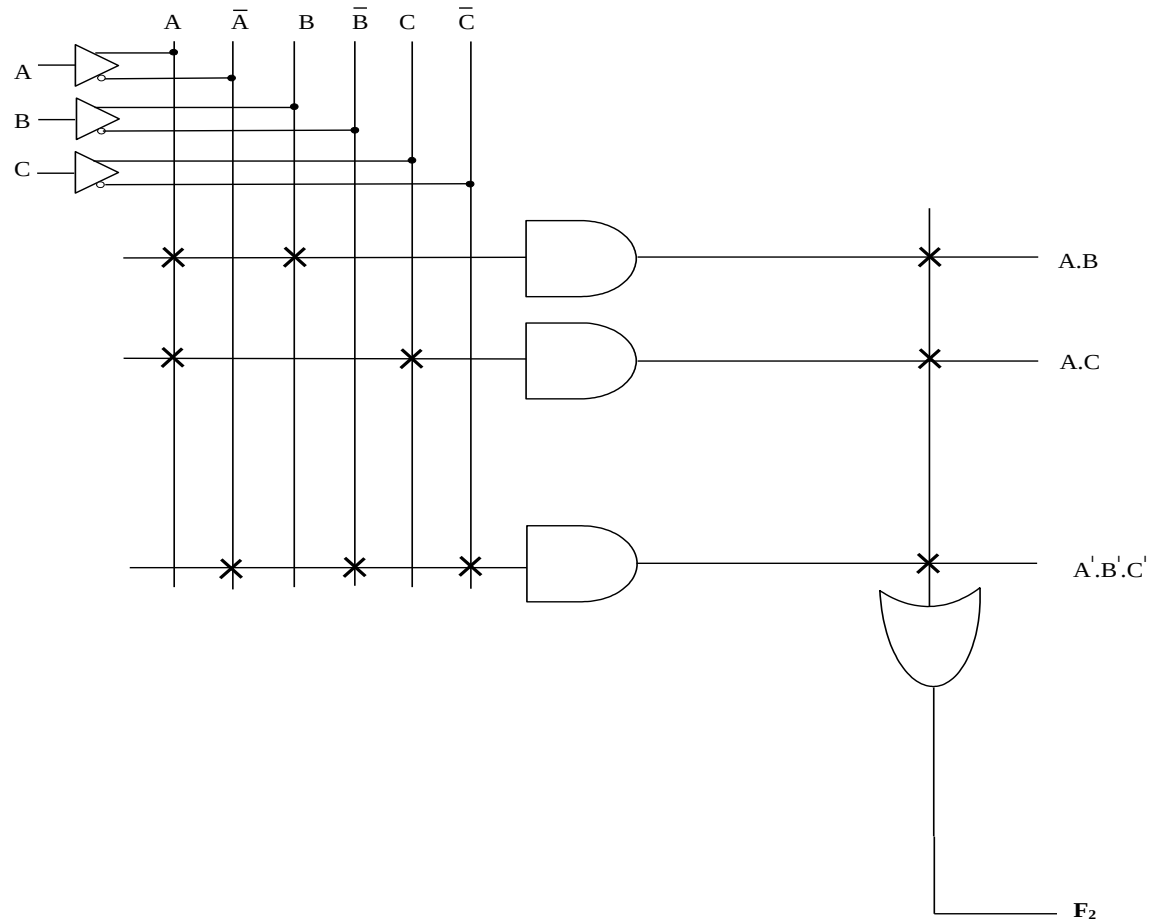
$$F_1 = A'.B' + A'.C + B'.C'$$



$$F_2 = A.B + A.C + A'B'.C'$$

PLA programlamasında kullanılacak lojik eşitliklerin elde edilmesi.

Programmable Logic Array (PLA)



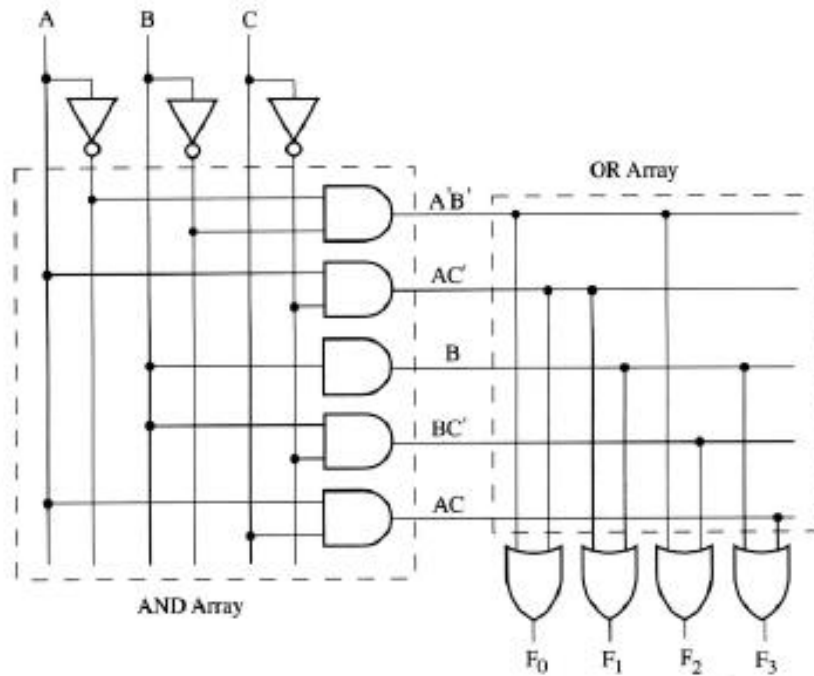
Programmable Logic Array (PLA)

$$F_0 = A'B' + AC'$$

$$F_1 = B + AC'$$

$$F_2 = A'B' + BC'$$

$$F_3 = AC + B$$



- Girişler ve değilleri AND kapılarına uygulanabilecek şekilde düzenlenir.
- X işareti ilgili girişin AND kapısına uygulandığını gösterir.
- AND kapıları çıkışları OR kapılarına uygulanır. OR kapılarının çıkışları devre çıkışlarını oluşturur

$$b = X_2' + X_1'X_0' + X_1X_0$$

$$c = X_2 + X_1' + X_0$$

