



Kayseri Üniversitesi
Mühendislik-Mimarlık ve Tasarım Fakültesi
Elektrik-Elektronik Mühendisliği Bölümü

EEM 214 LOJİK DEVRE TASARIMI

Dr. Öğr. Üyesi Ahmet GANI

Multivibratör ve Flip – Floplar

Amaçlar

- Multivibratör Devrelerinin çalışma prensiplerinin açıklanması ve multivibratör çeşitlerinin açıklanması
- Flip-Flop'ların (FF) ve FF çeşitlerinin incelenmesi
- FF'larda tetikleme kavramının irdelenmesi
- FF'larda senkron ve asenkron girişlerin açıklanması
- Flip-Flop parametrelerinin öğretilmesi
- FF'larda durum geçiş tablolarının incelenmesi ve oluşturma şekillerinin öğretilmesi
- FF giriş fonksiyonlarının açıklanması

Multivibratör ve Flip – Floplar(Flip-Flops)

Başlıklar

- Flip-Flop’lar ve Flip-Flop Çeşitleri
- Tetikleme Sinyali ve FF’lerde Tetikleme
- FF’lerde Asenkron Girişler
- Flip-Flop Parametreleri
- Flip-Flop Durum Geçiş Tabloları
- Flip-Flop Giriş Fonksiyonları

Giriş

Kare veya dikdörtgen sinyal üreten elektronik devreler, ‘Multivibratör’ olarak adlandırılır. Multivibratörlerin ürettiği sinyaller, dijital devrelerde tetikleme / saat (clock) sinyali olarak kullanılır. Multivibratörler üç gruba ayrılır:

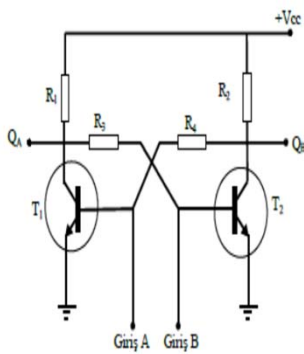
- i- Serbest çalışan (Astable) multivibratörler,
- ii- Tek kararlı (Monostable) multivibratörler,
- iii- Çift kararlı (Bistable) multivibratörler,

Dışarıdan bir müdahale gereksinim duymadan, belirli aralıklarla durum değiştirerek sinyal üreten multivibratör, ‘**serbest çalışan multivibratör**’ olarak isimlendirilir.

Giriş

Dışarıdan uygulanan uygun bir sinyal ile durumunu geçici bir süre değiştirip, bir süre sonra tekrar eski durumuna dönen multivibratör devresi, 'tek kararlı multivibratör' olarak adlandırılır. Bu tip multivibratörde, girişe uygulanan sinyal ile devrenin eski durumuna dönme süresi ayarlanarak, istenilen şekilde kare veya dikdörtgen dalga üretilebilir. Dışarıdan bir müdahale yapılmadığı sürece bulunduğu durumu sonsuza dek koruyan multivibratör devresi, 'çift kararlı multivibratör' olarak adlandırılır. Bu bölümde inceleyeceğimiz flip-flop devreleri çift kararlı multivibratör uygulamaları olduğundan, öncelikle bu tip multivibratörü oluşturan elektronik devreyi inceleyelim.

Giriş



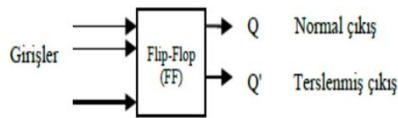
Şekil 1. Çift kararlı multivibratör devresi

Şekil 1'de elektronik devresi görülen çift kararlı multivibratör devresine dışarıdan bir etki yapılmadığı sürece transistörler durumlarını ve çıkışlarda sahip oldukları değerlerini korurlar. Devrede iki transistör aynı çalışma durumunda bulunamaz. Devrenin çalışmasını açıklamaya yardımcı olması amacıyla T_1 'in iletimde, T_2 'nin yalıtımda olduğunu kabul edelim. T_1 iletimde iken, T_2 'nin beyzi R_3 üzerinden şase potansiyelindedir (yaklaşık 0 V) ve bu nedenle yalıtkandır. Dışarıdan uygulanacak bir etki (sinyal) ile T_1 transistörü yalıtıma götürülürse, T_1 'in kolektöründe R_1 üzerinden +V gerilimi gözükür. Bu durumda lojik '0' değerine sahip olan Q_A çıkışı durum değiştirir ve $Q_A=1$ değerini alır. T_1 'in kolektöründeki gerilim R_3 üzerinden T_2 transistörünün beyzine uygulandığından, T_2 iletime geçer. T_2 'nin kolektörü şase potansiyeline gelir ve bu noktaya bağlı olan T_1 transistörünü yalıtımda tutar. Bu durum, T_2 'nin girişine bir etki / sinyal uygulanıp yalıtıma götürülünceye kadar devam eder. Çalışması anlatılan devre, dijital elektronikte yaygın olarak kullanılan ve bu nedenle geniş olarak inceleyeceğimiz Flip-Flop (FF) devresinin temelini oluşturur.

1.Flip-Flop'lar ve Flip-Flop Çeşitleri

Devreye çalışma gerilimi uygulandığı sürece durumunu ve buna bağlı olarak çıkışındaki değeri devamlı olarak koruyabilen multivibratör çeşidi, '**Flip-Flop**' olarak adlandırılır ve 'FF' harfleri ile sembolize edilir. Lojik kapılarla oluşturulan flip-flop'lar, lojik devrelerde kullanılan en önemli bellek elemanlarıdır. Flip-flop'ları oluşturan lojik kapılar normalde kendi başlarına bilgi saklama kapasitesine sahip değildir. Ancak, birkaç tane kapı devresi bilgi saklama işlemi oluşturacak şekilde bağlanarak bilgi saklama kapasitesi oluşturulabilir.

1.Flip-Flop'lar ve Flip-Flop Çeşitleri



Şekil 2. Flip - Flop devresi genel sembolü

Bir bitlik bilgi saklama yeteneğine sahip flip-flop devrelerinde, biri saklanan bilginin (bitin) normal değerine, diğeri tümleyen değerine sahip iki çıkış bulunur. Şekil 2'de sembolü görülen FF, Q ve Q' olarak isimlendirilen ve birbirinin tersi olan iki çıkışa sahiptir. '**Q çıkışı normal çıkış, Q' ise terslenmiş çıkış**' olarak kabul edilir. Çıkış dendiği zaman, Q çıkışı referans alınır. Örneğin; FF'nin çıkışı '1' dendiği zaman, Q=1 kastediliyordur ve bu durumda Q'=0 değerine sahiptir. İki farklı konumdan (0 veya 1) birisini alabilen FF'de, çıkışların alacağı değerleri FF'nin konumunu değiştirmek kapasitesine sahip girişler belirler. FF'nin çıkış durumunu değiştirmek için, girişin tetiklenmesi gerekir. FF'nin çıkışını değiştiren tetikleme darbesinin sona ermesinden sonra, FF'nin çıkışı konumunu korur. Bu durum FF'nin bellek özelliği göstermesini sağlar. Diğer bir deyişle, tetikleme sinyali ile FF'nin durumu değiştirilmediği sürece FF durumunu sonsuza kadar koruyabilir.

1. Flip-Flop'lar ve Flip-Flop Çeşitleri

FF'ler 'Latch' veya 'çift kararlı multivibratör' gibi diğer isimlerle de adlandırılır. 'Latch' terimi belirli tip FF'ler için kullanılırken, 'çift kararlı multivibratör' (bistable multivibrator) terimi FF'ler için kullanılan daha teknik bir terimdir. İkili bilgilerin flip-flop'a farklı bağlantıya sahip bileşik devreler üzerinden uygulanması sonucu, flip-flop çeşitleri oluşur. Diğer bir deyişle; temel FF devresinin bağlantısının değiştirilmesi ve yeni özellikler eklenmesi ile oluşturulan çeşitli FF türleri bulunmaktadır.

Bunlardan en çok kullanılanlar;

1-) R - S (Reset - Set) tipi FF.

2-) Tetiklemeli (clocked) R- S FF.

3-) J - K Tipi FF.

4-) Ana - Uydu (Master - Slave) Tipi FF.

5-) D (Data) Tipi FF.

6-) T (Toggle) Tipi FF.

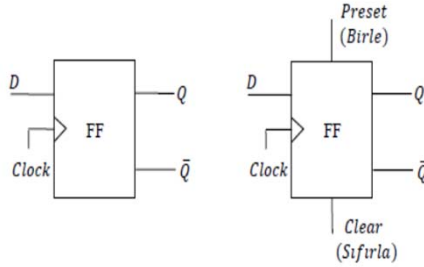
olarak sıralanabilir. En çok kullanılan FF çeşitlerini ayrıntılı olarak inceleyelim.

1. Flip-Flop'lar ve Flip-Flop Çeşitleri

Flip- flop' larda iki tür giriş vardır:

- 1. Senkron girişler:** Flip-flop' larda kontrol girişleri olarak kullanılır. JK, SR, D ve T girişleri her bir flip-flop da senkron girişleri olarak adlandırılır. Bu girişlerin çıkışa etkileri clock darbeleriyle senkronize edilir.
- 2. Asenkron girişler:** Bu girişler senkron girişlerin haricinde flip-flop çıkışını belli bir lojik değere atar (clock sinyalinin değişmesine 0' dan 1' e ya da 1' den 0' a geçmesine gerek kalmaksızın asenkron girişin değeri çıkış değiştirir).

1. Flip-Flop'lar ve Flip-Flop Çeşitleri

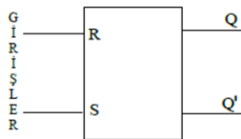


Şekil 3. Flip - Flop devresi genel sembolü

Yukarıdaki şekilde veri girişidir, Q asıl çıkıştır ve $\bar{Q}$ çıkışın tümleyenidir. Her clock darbesinde girişindeki veri çıkışına aktarılır. Senkronlama anında , girişlerindeki değerler ve flip-flop geçiş fonksiyonu kullanılarak çıkış üretilir. Eğer senkronlama anı, clock darbesinin yükselen kenarı ise yükselen kenarda tetiklenen, düşen kenarda ise düşen kenarda tetiklenen, lojik düzeye göre oluyorsa düzey tetiklemeli flip-flop olarak adlandırılır.

1.1. RS Flip-Flop Devresi

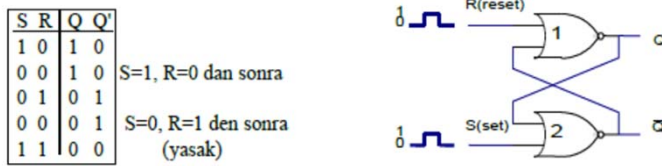
İki çıkışa sahip FF'de, iki farklı çıkış durumu bulunmaktadır: $Q=0, Q'=1$ ve $Q=1, Q'=0$ durumları. $Q=0$ ve $Q'=1$ olduğu durum, çıkış '0' veya 'reset-sıfırla' durumu olarak tanımlanır. Oluşabilecek ikinci durumunu ifade eden $Q=1$ ve $Q'=0$ durumu, çıkış '1' veya 'set-kur' durumu olarak adlandırılır. Bu durumda, FF'nin çıkışında $Q=0$ olmasını sağlayan girişi 'Reset-R', çıkışın $Q=1$ durumunu oluşturan girişi ise 'Set-S' olarak düşünülebilir. Çıkışların birbirinin tersi olduğu bu durumlar, normal çalışma durumları olarak kabul edilir. FF girişlerinin 'set-kur (S)' ve 'reset-sil (R)' olarak isimlendirilmesi ile, R-S FF olarak adlandırılan FF türü ortaya çıkar (Şekil 4). RS tipi FF; $Q=1$ ve $Q'=0$ iken 'set' (kurma), $Q=0$ ve $Q'=1$ olduğunda ise 'reset' (silme) durumundadır.



Şekil 4. RS tipi FF sembolü

1.1. RS Flip-Flop Devresi

Temel FF devresi, iki ‘VEDEĞİL’ veya iki ‘VEYADEĞİL’ kapısı ile gerçekleştirilebilir. ‘VEDEĞİL’ kapılarıyla yapılan devre ‘VEDEĞİL latch’ olarak, ‘VEYADEĞİL’ kapıları kullanılarak oluşturulan devre ise ‘VEYADEĞİL latch’ diye isimlendirilir. Her iki tip ‘latch’ devresinde, kapılardan birinin çıkışı diğerinin girişine çapraz şekilde bağlanmıştır. Q ve Q' olarak isimlendirilen kapı çıkışları, ‘latch’ çıkışlarıdır. (Şekil 5). ‘VEYADEĞİL’ kapısının girişlerinden birisinin ‘1’ olması, çıkışının ‘0’ olması için yeterlidir. Her iki girişin ‘0’ olması durumunda, çıkış ‘1’ olur. ‘VEYADEĞİL’ kapısının özelliğini hatırlattıktan sonra, ‘VEYADEĞİL’ kapıları ile oluşturulan RS FF devresinin çalışmasını inceleyelim (Şekil 5).



Şekil 5. VEYADEĞİL’ kapıları ile yapılan RS-FF devresi ve doğruluk tablosu.

1.1. RS Flip-Flop Devresi

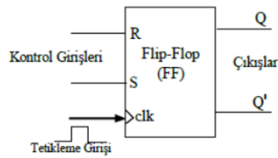
RS FF, ‘VEYADEĞİL’ kapıları ile oluşturulmasına benzer şekilde, ‘VEDEĞİL’ kapıları ile de oluşturulabilir. Şekil 6’da ‘VEDEĞİL’ kapılarıyla oluşturulan RS FF devresi ve doğruluk tablosu görülmektedir. ‘VEDEĞİL’ kapısının girişlerinden biri ‘0’ olduğu durumda çıkış ‘1’ değerini alır. Devrenin çalışmasını anlamak için, farklı giriş durumlarında oluşacak olayları inceleyelim:



Şekil 6. VEDEĞİL’ kapıları ile yapılan RS-FF devresi ve doğruluk tablosu.

1.2. Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop

FF'nin konumunun değiştirilmesi işlemi, 'tetikleme' olarak adlandırılır. Tetikleme girişinin bulunmadığı, FF durumlarının kontrol girişlerindeki bilginin değişmesi anında değiştiği FF'ler 'Asenkron FF'ler' olarak isimlendirilir. Tetikleme girişine sahip ve FF'nin durumunun tetikleme girişinden uygulanan sinyale bağlı olarak değiştiği FF'ler 'Senkron FF'ler' olarak tanımlanır. Senkron sistemlerde herhangi bir çıkışın değerinin değişebileceği zamanlar, 'tetikleme sinyali' (clock - saat) adı verilen, kare veya dikdörtgen şeklindeki sinyal tarafından belirlenir. Tetikleme sinyali olarak kullanılan sinyalin aktif durum (kenar) değişimi 0'dan 1'e ise buna 'pozitif kenar değişimi' (positive going transition - PGT), aktif durum değişimi 1'den 0'a doğru ise 'negatif kenar değişimi' (NGT) adı verilir.



Şekil 7. Tetiklemeli RS FF sembolü.

1.2. Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop

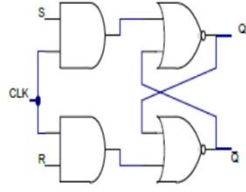
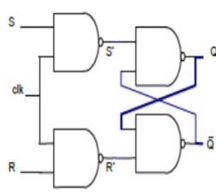
Tetiklemeli RS FF'ler, RS FF devresinin girişlerine kapı devreleri eklemek suretiyle elde edilir. Tetikleme girişi eklenmiş R-S FF devresinin sembolü ve 'VEDEĞİL' kapılarıyla tetikleme girişi oluşturulması işlemi Şekil 8'de görülmektedir. Yapılan işlem, RS FF'nin girişlerine 3. giriş oluşturacak şekilde 'VEDEĞİL' kapıları bağlanmasıdır.



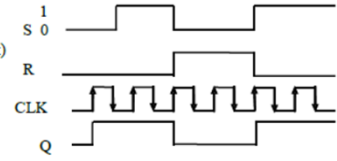
Şekil 8. Tetiklemeli R-S FF'nin sembolü ve 'VEDEĞİL' girişli tetiklemeli RS FF oluşturulması.

1.2. Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop

Şekil 9.a ve 9.b'de 'VEDEĞİL' kapılarıyla oluşturulan tetikleme girişinin, 'VEYADEĞİL' ve 'VEDEĞİL' kapılarıyla oluşturulan RS FF devresine eklenmesi ile oluşan tetiklemeli RS FF devreleri görülmektedir. Şekil 9.c'deki doğruluk tablosunda, farklı S-R giriş durumlarında 'Clk' sinyalinin etkisi açıklanmaktadır. Şekil 9.d'de S ve R girişlerinin aldıkları farklı değerler ve 'Clk' sinyali ile Q çıkışının aldığı durumlar dalga şekilleri olarak gösterilmektedir.



R	S	CLK	Çıkış Q
0	0	1	Q ₀ (Değişiklik yok)
0	1	1	1
1	0	1	0
1	1	1	Belirsiz



a) 'VEDEĞİL' kapılı tetiklemeli R-S FF b) 'VE/VEYADEĞİL' kapılı tetiklemeli FF.

c) Doğruluk tablosu.

d) RS FF örnek durum değişimleri.

1.2. Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop

Sonuç olarak; senkronize kontrol girişleri olarak isimlendirilen R ve S girişlerinin, 'Clk' sinyali yardımıyla FF'nin çıkış durumunu belirlediği söylenebilir. Negatif tetiklemeli FF'lerde oluşan doğruluk tablosu, pozitif kenar tetiklemeli R-S FF'lerin aynıdır. Tek fark; durum değişmesini sağlayan işaretin 1'den 0'a giderken FF'nin konumunu değiştirmesidir. Şekil 9'da gösterilen her iki tip tetiklemeli R-S FF, çeşitli dijital devrelerde kullanılmaktadır. RS FF'lerin, tetikleme işleminden beklenen işlemleri gerçekleştirmemesi nedeni ile RS FF'ler tetiklemez asenkron ardışıl devrelerde kullanılır. Tetikleme işleminin bulunduğu devrelerde ise Tetiklemeli FF olarak D ve JK Flip-Flop'lar ve özellikle daha basit yapıda olması nedeni ile D FF'ler tercih edilmektedir.

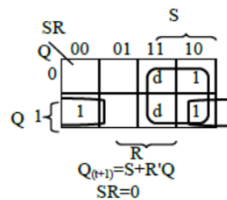
1.2. Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop

FF doğruluk tablosunda Q çıkışı olarak belirtilen değerler, FF'nin bulunulan andaki durumunu gösterir. S ve R girişlerinin mümkün olan kombinasyonlarına tetikleme sinyali uygulanması durumunda oluşan yeni çıkış durumları, '**Q(t+1) durumu**' olarak isimlendirilir. Q değeri göz önünde tutularak (üçüncü giriş olarak kabul edilip) R-S değerlerine göre Q(t+1) çıkışı yazılırsa; Şekil 9.1.a'daki doğruluk tablosu oluşur. Oluşan doğruluk tablosu, '**FF karakteristik tablosu**' olarak isimlendirilir.

1.2. Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop

Oluşan doğruluk tablosunun Karnaugh haritasına taşınması ile, Şekil 9.1.b'deki Karnaugh haritası ortaya çıkar. Doğruluk tablosunda bulunan belirsiz durumlar, Karnaugh haritasında farketmez-(d) olarak gösterilir. Karnaugh haritasında elde edilen eşitlik, önceki durum 'Q' ve SR girişlerinin fonksiyonu olarak sonraki durumun değerini vermektedir. Elde edilen eşitliğe SR=0 tanımlaması, S ve R girişlerinin aynı anda 1 değerini alamayacağını belirtmek için eklenmelidir. Elde edilen eşitlik, ilgili FF'ye ait 'karakteristik denklem' olarak isimlendirilir.

Q	S	R	Q(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	Tanımsız
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	Tanımsız



Şekil 9.1. a) Tetiklemeli R-S FF'nin karakteristik tablosu ve b) karakteristik denklemi

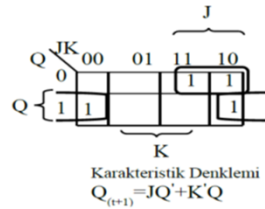
1.3. J-K Flip-Flop (JK FF)

JK FF'nin çalışması Q çıkışının önceki durumu göz önünde tutularak doğruluk tablosunda gösterilirse, Şekil 12.a'daki karakteristik tablo ortaya çıkar. Bu tablonun Karnaugh haritasına taşınması ile, $Q(t+1)$ durumu fonksiyon olarak tanımlanabilir (Şekil 12.b). JK FF'de yapılan işlem;

i- $J=0, K=1$ ve $J=1, K=0$ durumlarında çıkış J değerini izler.

ii- $J=K=0$ durumunda önceki Q çıkışını koruyan devre, $J=K=1$ durumunda önceki çıkışın tersine sahip olur şeklinde özetlenebilir. Bu açıklamalardan; 'RS FF'de bulunan yasak durum JK FF'de ortadan kalkmıştır' genellemesi yapılabilir. Negatif tetiklemeli JK FF'nin çalışması ve çıkış durumu, FF'nin durum değiştirme anının tetikleme sinyalinin negatife giden kenarında olması haricinde pozitif tetiklemeli devrenin aynısıdır.

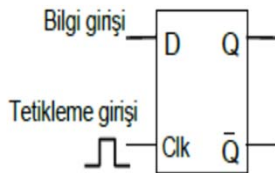
Q	J	K	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0



Şekil 12. a) J-K FF karakteristik tablosu ve b) karakteristik denklemi.

1.4. D Flip-Flop (D FF)

Temel RS FF'den üretilen diğer bir FF çeşidi, tek bir senkron kontrol girişine sahip olan D (Data) tipi FF devresidir (Şekil 13.a). D tipi FF'de oluşan işlemler basittir; Q çıkışı tetikleme sinyalinin gelmesi ile D kontrol girişinin sahip olduğu değeri alır (Şekil 13.b).



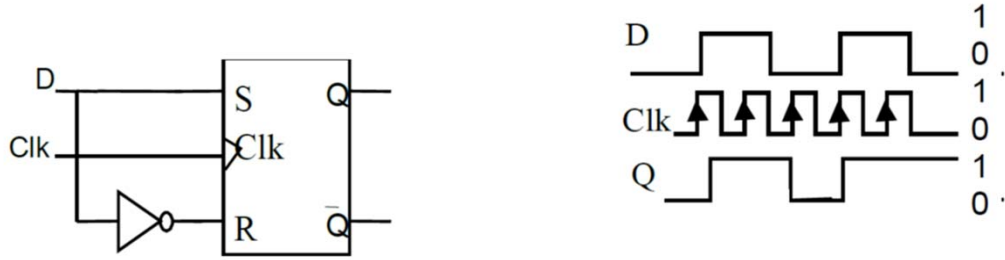
D	Clk	Q
0	1	0
1	1	1

Şekil 13. a). D tipi FF'nin sembolü ve b) doğruluk tablosu.

Bunun anlamı; $D=0$ iken, tetikleme sinyalinin gelmesi ile Q çıkışı '0' değerine sahip olur demektir. $D=0$ durumu devam ettiği sürece, 'Clk' sinyalinin durumu değişse bile $Q=0$ değerini korur. $D=1$ değerini alması durumunda, ilk gelen tetikleme sinyalinin pozitif kenarında $Q=1$ değerini alır.

1.4. D Flip-Flop (D FF)

D tipi FF devresi, RS FF'nin girişine 'DEĞİL' kapısı bağlanarak elde edilebilir (Şekil 14.a). Eklenen 'DEĞİL' kapısı, hem RS FF'lerde belirsiz durum oluşturan $R=S=1$ durumunu ortadan kaldırır, hem de çıkışın D girişini takip etmesini sağlar. Burada, Q çıkışının yalnızca tetikleme sinyalinin pozitif kenarlarında durum değiştirdiği unutulmamalıdır (Şekil 14.b).



Şekil 14. a) D tipi FF'nin RS ile elde edilmesi ve b) örnek durum değişimleri

1.4. D Flip-Flop (D FF)

D tipi FF'nin Q çıkışı dikkate alınarak doğruluk tablosu oluşturulur (Şekil 15.a) ve oluşan doğruluk tablosu Karnaugh haritalarına taşınırsa, Şekil 15.b'deki karakteristik denklem elde edilir. Elde edilen denklemden görüleceği üzere, FF'nin alacağı yeni durum D'ye bağımlıdır. D tipi FF özelliğinden dolayı, paralel çıkışa sahip devrelerde çıkışlar arasında senkronizasyonu sağlamak amacıyla kullanılır. Birleşik devrenin çıkışları, tampon olarak kullanılan D tipi FF'nin girişlerine uygulanarak tetikleme sinyali ile senkronizasyon sağlanır.

Q	D	Q(t+1)
0	0	0
0	1	1
1	0	0
1	1	1

D FF karakteristik tablosu

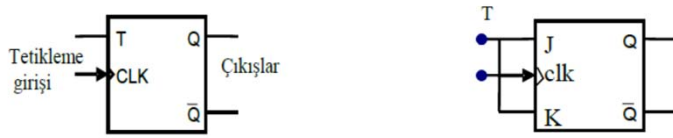
		D
		0
Q	0	1
	1	1

Karakteristik Denklemi
 $Q_{(t+1)} = D$

Şekil 15. a) D tipi FF karakteristik tablosu ve b) karakteristik denklemi.

1.5. T Flip-Flop (T FF)

J-K FF'nin girişlerinin birleştirilip tek giriş olarak kullanılmasıyla oluşan devre, 'Toggle FF' (T tipi FF) olarak isimlendirilir (Şekil 16). 'Toggle', durumdan duruma geçme demektir. T tipi FF'de; T=1 iken, tetikleme sinyalinin uygulanmasıyla sahip olunan çıkışın terslenmiş hali elde edilir. T tipi FF'de Q=0 ve T=0 iken, 'Clk' sinyalinin gelmesi durumunda çıkışta Q=0 değeri korunur. Q=0 ve T=1 değerlerinde, ilk gelen 'Clk' sinyali ile çıkış durum değiştirerek bir önceki durumun tersi olur ve Q=1 değerini alır. Q=1 ve T=0 iken, 'Clk' sinyali uygulansa bile devre sahip olduğu çıkışı korur ve Q=1 değerini alır. Q=1, T=1 iken 'Clk' sinyali ile çıkış terslenir ve Q=0 olur.



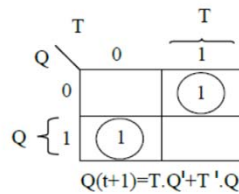
Şekil 16. T Tipi FF'nin sembolü ve JK FF'den T FF elde edilişi.

1.5. T Flip-Flop (T FF)

Anlatılan işlemlerin doğruluk tablosuna taşınması ile Şekil 17.a'daki karakteristik tablo oluşur. Tablodaki değerlerin Karnaugh haritasına taşınması ile karakteristik denklem elde edilir (Şekil 17.b). T tipi FF'de oluşan işlemler; 'T=0 iken FF önceki konumunu korurken, T=1 durumunda çıkış mevcut durumunun tersi olur' şeklinde özetlenebilir.

Q	T	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

Karakteristik Tablo

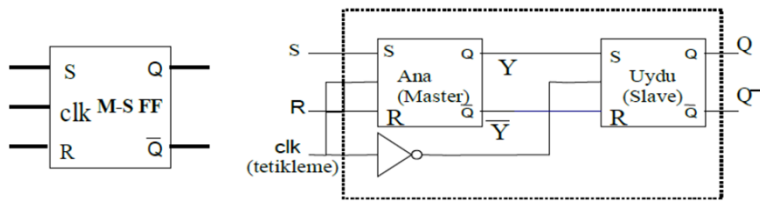


Karakteristik Denklem

Şekil 17. T FF karakteristik tablosu ve karakteristik denklemi

1.6. Ana Uydu (Master-Slave) Flip-Flop

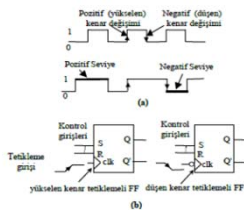
Ana-Uydu (Master-Slave) tipi FF devresi, Şekil 18’de görüldüğü gibi iki RS Flip-Flop ve bir ‘DEĞİL’ kapısı ile oluşturulur. Devrede kullanılan FF’lerden birisi ana devreyi, diğeri ise ana devreye bağlı olarak çalışan uydu FF’yi oluşturur. Ana-Uydu FF devresi, ‘Clk’ girişi ‘1’ olduğunda ‘Ana FF’ devresi, ‘0’ olduğunda ‘Uydu FF’ devresi çalışacak şekilde düzenlenmiştir. Tetikleme girişine ‘0’ uygulandığı zaman, ‘DEĞİL’ kapısının çıkışı uydu FF’nin ‘Clk’ girişini ‘1’ yapar. Bu durumda Q çıkışı Y’ye, Q’ çıkışı da Y çıkışına eşittir. Bu anda ana FF’nin tetikleme girişi ‘0’ olduğundan bu FF çalışmaz ve bir önceki konumu korur. Bunun anlamı; uydu FF’nin Q ve Q’ çıkış değerlerinin, ana FF’nin bir önceki değerlerine sahip olmasıdır.



Şekil 18. Ana-Uydu FF sembolü ve lojik şeması.

2. Tetikleme Sinyali ve FF’lerde Tetikleme

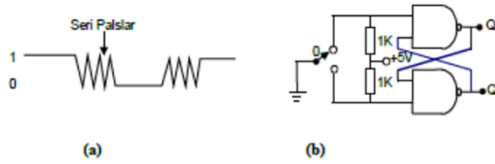
FF’lerin tetikleme girişine uygulanan kare veya dikdörtgen şeklindeki sinyaller, ‘tetikleme sinyali / palsı’ olarak adlandırılır. Diğer bir deyişle; bir ardışıl devrenin durumunu değiştirip yeni bir duruma geçmesi için (bir sonraki durum) dışarıdan uygulanan uyarma işaretine ‘tetikleme sinyali’ denir. FF’lerdeki tetikleme işlemi, tetikleme sinyalinin durum değişimi veya 0/1 seviyeleri sırasında gerçekleşir (Şekil 19.a). FF devresini etkileyen sinyalin değişim yönü, FF sembolü üzerinde belirtilir. FF sembolündeki ‘>’ işareti, tetikleme sinyalinin 0’dan 1’e veya 1’den 0’a geçişi sırasında FF girişlerinin etkili olacağını gösterir. ‘>’ işaretinin önündeki daire (o) bulunması, FF’nin düşen kenar ile tetikleneceğini gösterir (Şekil 19.b).



Şekil 19. a) Tetikleme sinyalleri ve b) tetikleme sinyallerinin FF’lere uygulanması.

2. Tetikleme Sinyali ve FF'lerde Tetikleme

FF devresi, tetikleme sinyalinin pozitif kenarında tetikleniyorsa 'pozitif kenar tetiklemeli', sinyalin negatif kenarında tetikleniyorsa 'negatif kenar tetiklemeli' devre olarak tanımlanır. Tetikleme işlemi 1 veya 0 değeri sırasında gerçekleşiyorsa, düşey tetiklemeli devre olarak adlandırılır. FF devrelerine tetikleme sinyali anahtar yardımıyla uygulanırsa, anahtarın kapatılması ve açılması sırasında, anahtarın mekaniksel yapısı nedeniyle sıçramalar oluşur (Şekil 20.a). Tetikleme sinyalinde meydana gelen sıçramalar, senkronizasyonlu devrelerde karışıklıklara neden olabilir. Çünkü kısa süreli seri palslar, sistemin çalışmasına etki eden parazitler oluşturulabilir. Parazitlerin oluşması olayı, 'Sıçrama Olayı' (Bouncing) olarak adlandırılır. Parazitlerin oluşmasını engellemek için yapılan işlem ise, 'anahtarlı sıçrama önleme' (Switch Debouncing) diye tanımlanır (Şekil 20.b).



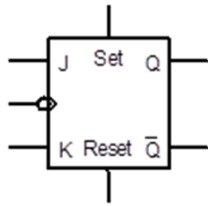
Şekil 20. Anahtar kontaklarında açılması ve kapanması sırasında oluşan sıçrama etkisi ve etkiyi kaldırmak için kullanılan anahtarlı sıçrama önleme devresi.

3. FF'lerde Asenkron Girişler

Buraya kadar incelediğimiz RS, JK, D, T, Ana-Uydu tipi Flip-Flop'ların sahip oldukları girişler, 'kontrol girişleri' veya 'senkronize girişler' olarak isimlendirilir. Bu girişler, tetikleme girişi (Ck) ile ilişkili olarak çalışırlar. Bununla beraber tetiklemeli FF'lerin çoğu, senkronize girişler ve tetikleme girişi ile bağımsız olarak çalışan bir veya daha fazla asenkron girişe sahiptir. 'Asenkron girişler', FF'nin çıkış durumunu '1' konumuna getiren 'set işlemi' veya çıkışın durumunu '0' konumuna getiren 'reset işlemi' için kullanılır. Set ve reset işlemleri yapan asenkron girişler, diğer girişlere göre daha üstündürler ve diğer girişlerin durumuna bakmaksızın FF'nin çıkış durumunu belirlerler.

3. FF'lerde Asenkron Girişler

Şekil 21'de, set ve reset asenkron girişlerine sahip tetiklemeli J-K FF'nin sembolü ve doğruluk tablosu görülmektedir. Negatif kenar tetiklemeli bu devrede, her iki asenkron girişin '0' olması durumunda tetiklemeli J-K FF işlemi gerçekleştirilir. Set=0, Reset=1 olması durumunda, diğer girişlerin durumuna bakılmaksızın FF çıkışı $Q = 0$ konumuna getirilir. Reset=0, Set=1 durumunda ise, başka bir etkene bakılmaksızın FF'nin çıkışı $Q = 1$ değerini alır. Set=1, Reset=1 durumu ise belirsiz bir çıkışa neden olacağından kullanılmaz.

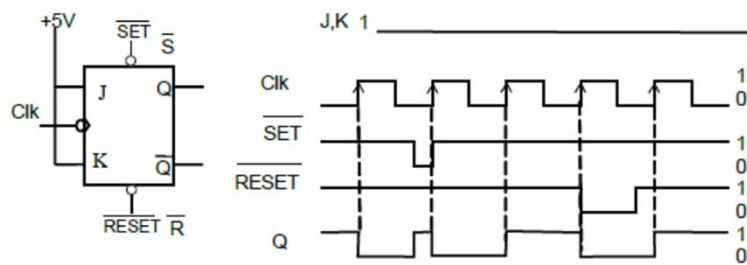


Set	Reset	FF'nin tepkisi
0	0	Normal işlem
0	1	$Q=0$
1	0	$Q=1$
1	1	Kullanılmaz

Şekil 21. Asenkron girişli J-K FF sembolü ve doğruluk tablosu

3. FF'lerde Asenkron Girişler

Asenkron girişler, herhangi bir anda FF'nin durumunu belirlemek veya bir devrede birlikte kullanılan FF'lerin hepsini birlikte set / reset konumuna getirmek için kullanılabilirler. Pratikte kullanılan FF entegreleri, set / reset asenkron girişlerine veya yalnızca reset girişine sahiptir. Bu elemanlardan bir kısmı negatif kenar tetiklemeli iken, bir kısmı pozitif kenar tetiklemelidir. Elemanlar negatif kenar tetiklemeli ise, bu özellik set ve reset sembolleri ile ifade edilir. Anlatılan özelliklere sahip bir FF'nin sembolü ve girişlerine uygulanan değişik dalga şekillerine elemanın verdiği tepki Şekil 22'de görülmektedir.



Şekil 22. Asenkron girişlere sahip J-K FF sembolü ve değişik durumlarda oluşan çıkış dalga şekilleri.

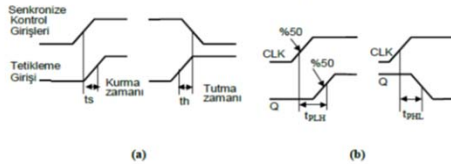
4. Flip-Flop Parametreleri

Flip-Flop entegre devre üreticileri, FF'lerin sahip oldukları özellikleri açıklayan zamanlama parametreleri ve karakteristikler belirlemişlerdir. Bunlardan önemli olanları, TTL ve CMOS ailelerindeki elamanlar üzerinde inceleyelim.

i- Kurma ve Tutma Zamanları (Setup and Holding Times):

Kurma zamanı (setup time- t_s), tetikleme sinyalinin devrenin durumunu değiştirmesi için geçen zamandır. Entegre devre üreticileri genelde izin verilebilen minimum kurma zamanını belirtirler. Eğer bu zaman gereksinimi sağlanmazsa, devre tetikleme sinyallerinin durum değişikliklerine güvenli tepki vermeyebilir. 'Tutma zamanı' (holding time- t_h), tetikleme sinyalinin senkronize girişlerdeki durum değişikliğini hissedebilmesi için gerekli zaman aralığıdır. Üreticiler tarafından minimum sınırı belirlenen bu zamanın sağlanamaması durumunda FF güvenli olarak tetiklenemez.

4. Flip-Flop Parametreleri



Şekil 23. FF kontrol girişleri için kurma - tutma zamanları ve FF yayılım gecikmeleri.

Tetiklemeli FF'nin tetikleme sinyaline düzgün tepki verebilmesi için, senkronize girişlerin belirli bir süre değişmeden durması gerekir (kurma ve tutma zamanlarından dolayı). Bu süre, tetikleme sinyalinin durum değiştirmesinden önce ' t_s ' kadar, durum değişikliğinden sonra ' t_h ' kadar olmalıdır (Şekil 23.a). FF'lerde genelde kurma zamanı 5-50 nsn, tutma zamanı 1-10 nsn arasında değişir. Senkron sistemlerde çok önemli olan bu zamanların ölçümünde, durum değişikliklerinin %50 seviyesi referans olarak alınır.

ii- Yayılım Gecikmesi (Propagation Delay):

FF'lerde tetikleme sinyalinin uygulandığı an ile, çıkışın konum değiştirdiği an arasındaki zaman farkına 'yayılım gecikmesi' denir. FF'nin durumunun 0'dan 1'e geçerken ve 1'den 0'a geçerken oluşan yayılım gecikmeleri, üretici kataloglarında t_{PHL} ve t_{PLH} şeklinde maksimum değerler olarak verilir (Şekil 23.b). Yeni tasarlanan FF entegrelerinde yayılım gecikmesi birkaç nane saniye ile 1µsn arasında değişir. Genelde aynı değere sahip olmayan t_{PHL} ve t_{PLH} zamanları, Q çıkışından sürülen yüklerin artması ile orantılı olarak yükselir.

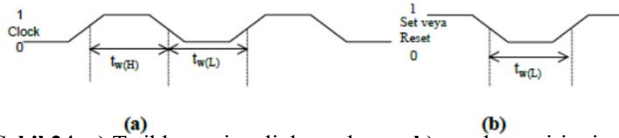
4. Flip-Flop Parametreleri

iii- Maksimum Tetikleme Frekansı (Maximum Clocking Frequency – f_{max}):

‘Tetikleme frekansı’, FF’nin tetikleme girişine güvenli bir tetikleme için uygulanabilecek en yüksek frekansı ifade eder. F_{max} ’ın temsil ettiği değer, aynı seri numaralı FF’lerde dahi farklılık gösterebilir. Verilen sınırın altındaki frekanslarda devre randımanlı çalışırken, bunun üzerindeki değerlerde olumsuz durumlarla karşılaşılabilir.

iv- Tetikleme sinyali ‘1’ - ‘0’ zamanları ve Asenkron Giriş Sinyal Genişliği:

Üretici firmalar, tetikleme sinyalinin ‘1’ ve ‘0’ durumlarında kalması gerekli minimum zamanı (Clock pulse High and Low Times) belirlerler. ‘0’ durumunda kalması gerekli minimum zaman ‘ $t_{w(L)}$ ’ olarak, ‘1’ durumunda kalması gerekli minimum zaman ‘ $t_{w(H)}$ ’ olarak isimlendirilir. Durum değiştirmelerin %50 seviyeleri arasındaki zaman olarak tanımlanan bu sürelerin sağlanamaması durumunda güvenli bir tetikleme işlemi oluşmayabilir (Şekil 24.a). Üreticilerin belirlediği diğer bir parametre, ‘set’ ve ‘reset’ girişlerinin (asekron girişlerin) aktif tutulma zamanlarıdır. Minimum değer olarak verilen bu zamanların sağlanamaması durumunda ‘set’ ve ‘reset’ işlemleri gerçekleşmeyebilir (Şekil 24.b).



4. Flip-Flop Parametreleri

v- Tetikleme sinyali durum değiştirme zamanı :

Durum değiştirme zamanı (Clock Transition Times), tetikleme sinyalinin 1’den 0’a veya 0’dan 1 durumuna geçerken geçen zamandır. Güvenli bir tetikleme işlemi için, tetikleme sinyali durum değişim zamanlarının çok küçük tutulması gereklidir. Durum değiştirme zamanının uzun olması durumunda tetikleme işlemi yanlış yorumlanabilir veya tetikleme işlemi oluşmayabilir. Üreticiler her bir entegre için gerekli maksimum durum değiştirme zamanını vermeseler de, lojik aileler için ortalama değerler vermişlerdir. Örneğin; TTL ailesi için durum değiştirme zamanı ≤ 50 nsn ve CMOS ailesi için ≤ 200 nsn olmalıdır.

5. Flip-Flop Durum Geçiş Tabloları

‘Flip-Flop doğruluk tablosu’, FF’nin özelliğini ve çalışmasını tanımlar. Flip-flop’ların özelliklerini tanımlayan RS, JK D ve T FF’lere ait doğruluk tabloları Şekil 25’de verilmiştir. Flip-Flopların çalışma durumunu analiz etmede oldukça kullanışlı olan doğruluk tabloları yardımıyla, giriş ve mevcut durum değerlerinden faydalanılarak sonraki durum kolayca bulunabilir. Tablodaki $Q(t)$ mevcut durumu, $Q(t+1)$ ise tetikleme sinyali uygulanınca meydana gelen yeni durumu açıklar. Şimdi Flip-Flop’lara ait doğruluk tabloları inceleyelim:

S	R	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	B ?

a) R-S FF

J	K	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$Q(t)$

b) J-K FF

D	$Q(t+1)$
0	0
1	1

c) D FF

T	$Q(t+1)$
0	$Q(t)$
1	$Q(t)$

d) T FF

Şekil 25. Flip Flop’ların doğruluk tabloları.

5. Flip-Flop Durum Geçiş Tabloları

Şekil 26’da 4 çeşit FF’e ait durum geçiş tabloları görülmektedir. Tablolarda $Q(t)$ ve $Q(t+1)$ olarak gösterilen kolonlar, sırasıyla mevcut durumu ve istenilen durum (sonraki durum) değişikliğini gösterir. Mevcut durumdan sonraki duruma geçiş sırasında, dört farklı geçişten biri oluşabilir. Dört farklı geçiş işlemi için gerekli giriş değerlerini gösteren bilgiler durum geçiş tablosundan alınabilir. Durum geçiş sırasında, giriş değerlerinin önemli olmadığı durumlar ‘fark etmezlik’ olarak ifade edilir ve ‘X’ veya ‘d’ ile gösterilir. ‘X’ ile ifade edilen bilginin ‘1’ veya ‘0’ olmasında bir farklılık yoktur.

$Q(t)$	$Q(t+1)$	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

a) RS FF

$Q(t)$	$Q(t+1)$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

b) JK FF

$Q(t)$	$Q(t+1)$	D
0	0	0
0	1	1
1	0	0
1	1	1

c) D FF

$Q(t)$	$Q(t+1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

d) T FF

Şekil 26. Flip- Flop’ların durum geçiş tabloları

5. Flip-Flop Durum Geçiş Tabloları

Şekil 25’de verilen doğruluk tablolarından faydalanarak, RS, JK, D ve T tipi FF’lere ait durum geçiş tablolarının oluşturulmasını açıklayalım.

S	R	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	B?

a) R-S FF

D	$Q(t+1)$
0	0
1	1

c) D FF

J	K	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$Q(t)$

b) J-K FF

T	$Q(t+1)$
0	$Q(t)$
1	$Q(t)$

d) T FF

$Q(t)$	$Q(t+1)$	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

a) RS FF

$Q(t)$	$Q(t+1)$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

b) JK FF

$Q(t)$	$Q(t+1)$	D
0	0	0
0	1	1
1	0	0
1	1	1

c) D FF

$Q(t)$	$Q(t+1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

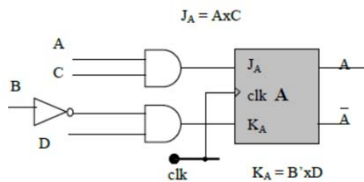
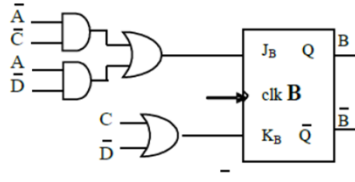
d) T FF

Şekil 25. Flip- Flop’ların doğruluk tabloları

Şekil 26. Flip- Flop’ların durum geçiş tabloları

6. Flip-Flop Giriş Fonksiyonları

Bir FF’nin giriş fonksiyonu dendiğinde, FF devresinin giriş katında bulunan birleşik devrelerce üretilip FF girişlerine uygulanan ve FF’nin istenen yeni durumlara ulaşmasını sağlayan lojik kapı devreleri anlaşılır. FF’lerin giriş fonksiyonlarını ifade eden denklemler, hem harici girişlerin hem de şimdiki (mevcut) durumların fonksiyonu olarak yazılır. FF devresinin giriş değişkenleri iki harfli bir simge ile gösterilir ve birinci harf girişin adını, ikinci harf ise FF’nin adını simgeler. Örneğin; bir devrede bulunan J-K FF’lere ait girişler J_A , J_B , J_C ve K_A , K_B , K_C simgeleri ile belirtilir. Aynı durum diğer FF çeşitleri için de geçerlidir. Şekil 27’deki devrede bulunan FF giriş fonksiyonlarının; $J_A = AC$ ve $K_A = B'D$ olduğu bulunabilir. $J_B = A'C' + AD'$ ve $K_B = CD'$ eşitliklerinin FF girişlerine uygulanması ile Şekil 28’deki devre oluşur.

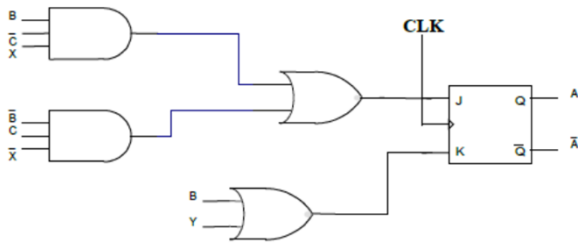
Şekil 27. J_A ve K_A giriş fonksiyonlarının oluşturulması

Şekil 28. FF giriş fonksiyonlarının oluşturulması.

6. Flip-Flop Giriş Fonksiyonları

Örnek olarak Şekil 29'daki devrede bulunan FF giriş fonksiyonlarını ele alalım:

$J_A = BC'x + B'Cx'$ ve $K_A = B + y$ denklemlerinde, J_A ve K_A iki Boolean eşitliğini gösterirler. Bu eşitliklerdeki J ve K harfleri FF'nin girişlerini, 'A' ise FF'nin adını gösterir. Denklemlerdeki ifadeler Boolean fonksiyonları olduğundan, birleşik devre olarak kapı devreleri ile gerçekleştirilebilir. Gerçekleştirilen devre 'A' çıkışına sahip bir FF'nin J-K girişlerine uygulanırsa, Şekil 29'daki devre elde edilir. Fonksiyonlardan oluşturulan birleşik devreler, FF'nin ilgili girişlerine uygulanır. FF giriş fonksiyonları, sıralı (ardışıl) bir devrenin lojik devresinin tanımlanabilmesi için uygun bir cebirsel eşitlik sağlar. Bu eşitlik, FF'yi çalıştıran devreyi tam olarak tanımlar. Bazı durumlarda, ardışıl bir devreyi mantık devresi çizerek belirtmek yerine, FF'lerin giriş fonksiyonları ile belirtmek daha kolaydır. Bu durum ardışıl devreler konusunda kullanılacaktır.



Şekil 29. J_A ve K_A giriş fonksiyonlarının uygulanması

Tekrarlama ve Çalışma Soruları

1. Multivibratörü tanımlayınız.
2. Multivibratör çeşitlerini yazarak, herbir çeşit multivibratörü tanımlayınız.
3. Çift kararlı multivibratör açık şemasını çizerek, devrenin çalışmasını özetleyiniz.
4. Flip-Flop'u tanımlayınız.
5. FF çeşitlerini yazınız.
6. 'Latch' ne demektir?
7. RS FF ile tetiklemeli RS FF arasındaki farkı tanımlayınız.
8. 'VEDEĞİL' ve 'VE / VEYADEĞİL' kapıları ile oluşturulan tetiklemeli RS FF şekillerini çizin.
9. Tetiklemeli RS FF'nin karakteristik denklemini doğruluk tablosu ve Karnaugh yardımıyla yazınız.
10. JK FF'nin lojik şemasını çizerek, devrenin çalışmasını anlatınız.
11. JK FF'nin karakteristik denklemini yazınız.
12. D ve T tipi FF'lere ait doğruluk tablolarını çizerek, genel özelliklerini yorumlayınız.
13. D ve T tipi FF'lere ait karakteristik denklemleri oluşturunuz.
14. Ana-Uydu FF'nin çalışmasını şekille özetleyiniz.
15. Ana uydu FF karakteristik denklemini yazınız.

Tekrarlama ve Çalışma Soruları

16. Tetikleme sinyalini tanımlayınız.
17. Negatif ve pozitif kenar tetiklemesi terimlerini açıklayınız.
18. 'Bouncing' olayını açıklayınız.
19. Bouncing olayını önleyecek devreyi çizerek, işlevini özetleyiniz.
20. FF'lerde kullanılan asenkron girişlerin isimlerini ve işlevlerini yazınız.
21. Asenkron girişlere sahip JK FF'de, asenkron girişlerin etkisini özetleyiniz.
22. FF'lerde üreticilerin belirlediği parametreleri sıralayınız.
23. FF'lerde yayılım gecikmesi ve maksimum tetikleme frekansı terimlerini açıklayınız.
24. FF'lerde asenkron giriş sinyal genişliği parametresi ne anlama gelmektedir?
25. FF karakteristik tablolarını özetleyiniz.
26. FF geçiş tablolarını çizerek, her bir FF'ye ait geçiş tablosunu yorumlayınız.
27. FF karakteristik tablosu ile geçiş tabloları arasındaki fark nedir?
28. FF geçiş tablolarının en yaygın kullanım yeri neresidir?
29. FF'lerde 'farketmezlik' durumu hangi şartlarda kullanılır?
30. JK FF'ye ait karakteristik tablodan faydalanarak, geçiş tablosu oluşturulması işlemini özetleyiniz.

Tekrarlama ve Çalışma Soruları

31. T tipi FF'ye ait geçiş tablosunu oluşturunuz.
32. 'FF giriş fonksiyonu' terimini açıklayınız.
33. FF giriş fonksiyonu denklemleri nasıl oluşturulur?
34. FF girişlerine ait giriş fonksiyonu nasıl gösterilir?
35. $J_A = XA'B + X'AB + XAB$ ve $K_A = X'A'B + X'AB' + XA'B'$ giriş fonksiyonlarına sahip ardışıl devrenin şemasını çiziniz.

Senkron Sıralı / Ardışıl Mantık Devreleri

Amaçlar

- **Ardışıl devrelerin tanıtılması ve incelenmesi**
- **Ardışıl devrelerin analiz yöntemlerinin incelenmesi**
- **Durum geçiş şeması, durum geçiş tablosu ve durum denklemi yöntemlerinin açıklanması**
- **Ardışıl devre tasarım aşamalarının öğretilmesi**
- **Örnek ardışıl devrelerin tasarımlarının yapılması**

Senkron Sıralı / Ardışıl Mantık Devreleri

Başlıklar

- **Ardışıl Devrelerin Analizi**
- **Durum Geçiş Şeması Yöntemi**
- **Durum Geçiş Tabloları**
- **Durum Denklemleri**
- **Ardışıl Devre Tasarımı**
- **Durum Sadeleştirme (Durum İndirgeme)**
- **Durum Tahsisi (Durum Atanması)**
- **Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri**

Giriş

Lojik kapı elemanlarından oluşan devreler **‘bileşik devreler’** olarak isimlendirilir. Geri besleme ve zamanlama gibi olayların olmadığı bu devrelerde, belli bir anda girişe gelen bilgiler belli bir amaç doğrultusunda işleminden geçtikten sonra çıkışa aktarılır (Şekil 30). Devrede bellek olmaması nedeniyle, daha önceki giriş / devre şartlarından etkilenme diye bir şey söz konusu değildir.

- Bileşik devrelere geri besleme ve zamanlama gibi olguların eklenmesiyle oluşan devrelere, **‘sıralı veya ardışıl lojik devreler’** denir (Şekil 31). Ardışıl devrelerde sıkça kullanılan bellek elemanları, bileşik devrelere bir geri besleme (feedback) yolu sağlayacak şekilde bağlanır (Şekil 31). Bilgi saklama yeteneğine sahip elemanlar olan belleklerde saklanan ikili bilgiler, sıralı devrenin durumunu tanımlar. Harici girişlerden ikili bilgiler alan ardışıl devre, hariçten aldığı ikili bilgi ile, bellek elemanlarının mevcut durumlarını birleştirerek çıkışta oluşacak ikili değeri belirler.



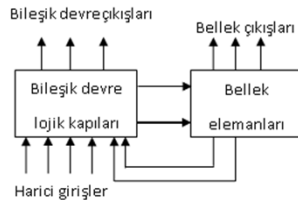
Bileşik devre blok şeması



Sıralı veya ardışıl lojik devreler

Giriş

Bileşik devrenin gerçekleştirdiği işlem sonucunda, bellek elemanlarının durumunda değişiklik yapma koşulu da belirlenir. Şekil 32’deki blok şemadan görüldüğü gibi, harici girişler ve bellek elemanındaki bilgilerin değerlendirilmesi sonucu değişik çıkışlar elde edilir. Elde edilen çıkışlardan bir kısmı bellek elemanlarında saklanacak yeni ikili değeri temsil ederler. Bu işlemlerden çıkarılan sonuç; ardışıl devrenin harici çıkışlarının harici girişler ile bellek elemanlarında saklanan bilginin bir fonksiyonu olduğudur. Ardışıl (sıralı) devreler, sinyallerin zamanlamasına bağlı olarak iki grupta toplanabilir: Senkron (eş zamanlı) ve asenkron (eş zamanlı olmayan) ardışıl devreler.



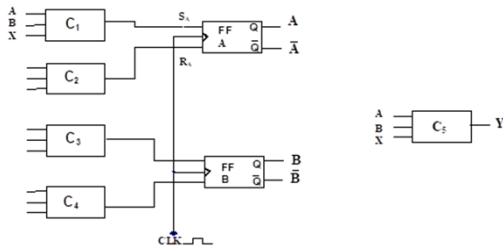
Ardışıl devrelerde önceki durumların değerlendirilmesi

Giriş

Senkron ardışıl devrelerde, bellek elemanlarını sadece belirli zaman dilimlerinde etkileyen sinyaller kullanılır. Sinyaller oluşturulurken sınırlı süreli darbeler kullanılır. Bu şekilde darbelerin kullanıldığı bir sistemde zorluk, farklı kaynaklardan aynı kapının girişlerine ulaşan iki bilginin (sinyalin) önceden tahmin edilmeyen gecikmeler göstermesi ve bilgilerin birbirinden bir miktar da olsa ayrılmasıdır. Senkron sıralı devrelerde, senkron çalışma periyodik tetikleme sinyalleri (clock pulses) dizisi üreten ana sinyal üretici (master - clock generator) ile sağlanır. Bellek elemanlarının girişinde tetikleme sinyalleri kullanan senkron sıralı devreler, 'tetiklemeli (saatli) sıralı devreler' (clocked sequential logic) olarak adlandırılır. Kararsızlık probleminin oluşmadığı bu devrelerde, bellek elemanı olarak Flip-Flop devreleri kullanılır. Asenkron (eş zamanlı olmayan) sıralı devrelerde, çıkışın değişmesi giriş sinyallerinin bir veya daha fazlasının değişmesine bağlıdır. Giriş ve buna bağlı olarak çıkış durumu herhangi bir anda etkilenebilir (değişebilir). Asenkron sıralı devrelerde yaygın olarak kullanılan bellek elemanları zaman gecikmeli elemanlardır. Zaman gecikmeli bir elemanın bellek yeteneği, sinyalin eleman içinde yayılmasının belli bir zaman alması olgusundan kaynaklanmaktadır. Pratikte mantık kapılarında meydana gelen gecikme, ihtiyaç duyulan gecikmeyi sağlayarak fiziksel gecikme ünitelerine olan ihtiyacı ortadan kaldırır. Kapılarla oluşturulan asenkron devreler geri beslemeli bileşik devre olarak değerlendirilebilir ve bu şekildeki devrelerde geri besleme nedeni ile devrenin kararlı çalışma durumu bozulabilir.

Ardışıl Devrelerin Analizi

Ardışıl devre, bileşiminde en az bir FF bulunduran, bunun ötesinde giriş-çıkış durumunu belirleyen bileşik devreler (lojik kapılar) içeren düzeneklerdir. Ardışıl devrelerin davranışı; girişlerine, çıkışlarına ve mevcut durum ile alabilecekleri gelecek durumlara göre belirlenir. Ardışıl bir devrenin analizi; girişlerin, çıkışların ve iş sırası tablosu veya şemasının elde edilmesi şeklinde gerçekleştirilir. Ardışıl devrelerin davranışını tanımlayan boolean ifadeleri yazılabilir. Ancak, bu ifadelerin doğrudan veya dolaylı olarak gerekli zaman sırasını içermesi gerekir. Ardışıl devreyi analiz etmek için, tetiklemeli ardışıl devreye bir örnek vererek ardışıl devrelerin davranışlarını açıklayan çeşitli yöntemleri inceleyelim.



Şekil 33. Ardışıl devre örneği.

Ardışıl Devrelerin Analizi

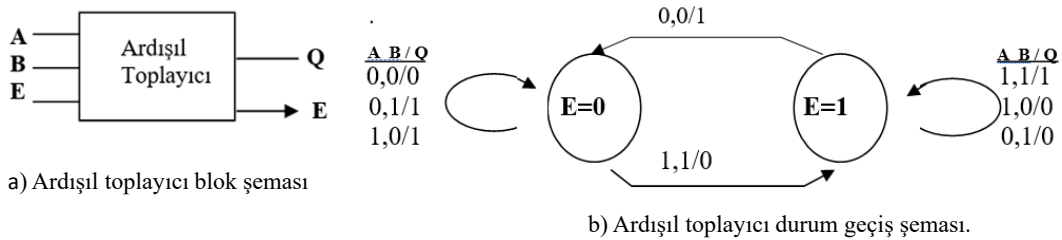
Bu şekilde genel özellikleri tanımlanan bir ardışıl devrenin analizi üç değişik yöntemle yapılabilir:

- i- Durum Geçiş Şeması Yöntemi,
- ii- Durum Geçiş Tablosu Yöntemi,
- iii- Durum Denklemleri Yöntemi,

Ardışıl Devrelerin Analizi

1.1. Durum Geçiş Şeması Yöntemi

Durum geçiş şeması yöntemi; ardışıl devrenin sözel anlatımını en iyi yansıtan, mevcut durum-gelecek durum ilişkisini görsel biçimde sergileyen bir yöntemdir. Bu yöntemde, devrenin her durumu bir daireyle, durumlar arasındaki geçişler ise daireleri birbirine bağlayan yönlü oklar ile gösterilir. Her dairenin içindeki ikili sayı, dairenin temsil ettiği durumu tanımlar. Geçişleri gösteren oklar üzerine ise söz konusu durum geçişinin hangi girdilerle gerçekleştiği ve çıktının ne olduğu yazılır. Bu gösterim için kesme işareti (/) kullanılır ve bu kesme işaretinin soluna girdiler, sağına ise çıktılar yazılır. Bir durum değişikliği söz konusu değil ise, durum geçiş oku başladığı noktaya döner (Şekil 34 a-b).



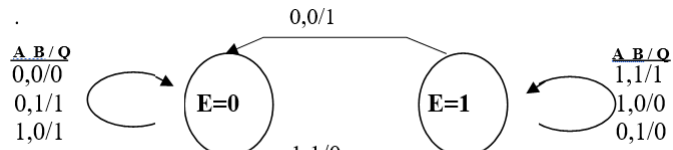
Ardışıl Devrelerin Analizi

Örnek 1. Tam toplayıcı işlemini ardışıl devre ile gerçekleştirmede oluşan olayları inceleyelim.

Bir toplayıcı devresinde elde terimi 'E', giriş değişkenleri ise 'A' ve 'B' sembolleriyle gösterilebilir. Sözelimi $E=0$ iken, giriş değerleri $A=1, B=1$ olduğunda $E=1$ durumuna geçer ve toplayıcının çıkışı '0' olur. $E=1$ durumunda iken; $A=0, B=0$ dışındaki giriş değerlerinde devrenin durumunda bir değişiklik olmaz (Şekil 34 a-b). Kesme '/' işaretinin solundaki değerler 'A' ve 'B' girişlerini, sağındaki terim ise 'Q' çıkışının durumunu ifade eder. Daire içerisindeki 'E' değeri ile giriş değerlerinin toplamını, devrenin alacağı konumu (Q) ve E'nin yeni değerini belirler. Örneğin $E=0$ iken; girişlerin '0,1' olması durumunda $E=0$ konumunu korurken, $Q=1$ değerini alır. Bu durumda geçiş oku başladığı daireye geri döner. $E=1$ iken; girişlere '0' uygulanması durumunda $Q=1$ değerini alırken, 'E' durum değiştirerek '0' değerini alır. Geçiş oku $E=0$ olan diğer daireye doğru değişimi gösterir.



a) Ardışıl toplayıcı blok şeması



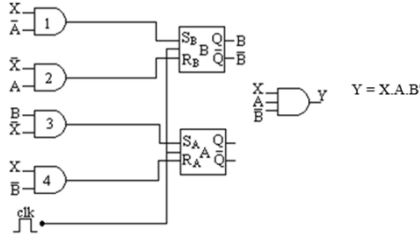
b) Ardışıl toplayıcı durum geçiş şeması.

Durum Geçiş Tabloları

Durum geçiş tablosu, ardışıl bir devrede mevcut durum ve giriş-çıkış değişkenleri arasındaki ilişkileri sergileyen bir tablodur. Bu tablo hazırlanırken, devrenin durum değişkenleri sayısı ile girdilerin sayısı göz önüne alınır. Bu durumda tabloda, flip-flopların tetikleme palsından önceki durumunu belirten 'mevcut durum', tetikleme palsı uygulandıktan sonraki durumu ifade eden 'sonraki durum' ve 'çıkış' olmak üzere üç kısım bulunur. Hem sonraki durum, hem de çıkış bölümleri, $X=0$ ve $X=1$ için olmak üzere 2 sütundan oluşur. Tablo oluştururken, durum değişkenleri sayısı ile girdi sayısı göz önüne alınır. Buna göre devrede 'm' tane FF varsa, 'm' tane durum değişkeni tanımlanır ve devrede 2^m tane değişik durum söz konusu olur. Ayrıca devrenin 'n' tane girişi varsa, 2^n tane farklı giriş değerleri birleşimi söz konusu olur.

Durum Geçiş Tabloları

Tablo oluşturulurken, önce değişken bileşimlerini içeren bir sütun hazırlanır. Daha sonra, durum tablosunun oluşturulmasına varsayılan bir ilk değerle başlanır. Analiz her ne kadar keyfi bir durumla başlayabilirse de, Şekil 35'deki devreyi incelemeye '00' durumu ile başlayacağız.



Şekil 35. Ardışıl Lojik Devre Şeması

Mevcut durum '00' iken; A=0 ve B=0 olur. Bu anda her iki FF reset konumunda ve X=0'dır. Bu değerlerin uygulandığı Şekil 35'deki, 'VE' kapılarından hiç birisi mantık '1' sinyali üretmez ve dolayısıyla sonraki durum değişmeden kalır. Bu durumda, AB=00 ve X=0 iken, tetikleme sinyalinden sonraki durum '00' olarak belirlenir.

Durum Geçiş Tabloları

MEVCUT DURUM	SONRAKİ DURUM		ÇIKIŞ	
	X=0	X=1	X=0	X=1
AB	AB	AB	Y	Y
00	00	01	0	0
01	11	01	0	0
10	10	00	0	1
11	10	11	0	0

Devrenin durum geçiş tablosu

Lojik devreden çıkış bölümünün değerlerini bulmak daha kolaydır. Örnek devrede, yalnızca X=1, A=1 ve B=0 iken 'y' çıkışı 1'e eşittir. Bu nedenle; mevcut durum=10 ve X=1 durumunda y=1, bu durum dışındaki bütün durumlarda çıkış sütunları '0' olarak yazılır. Ardışık bir devrenin harici çıkışları, mantık elemanlarından ve FF çıkışlarından alınabilir. Mantık kapılarından çıkış alınması halinde durum tablosunda çıkış bölümü gereklidir. Çıkış olarak yalnızca FF çıkışları söz konusu ise, FF'lerin çıkışları mevcut durum sütununda zaten verildiğinden durum tablosunun çıkış bölümü iptal edilebilir.

Durum Denklemleri

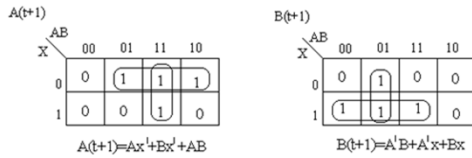
MEVCUT DURUM AB	SONRAKİ DURUM X=0 X=1		ÇIKIŞ X=0 X=1	
	AB	AB	Y	Y
00	00	01	0	0
01	11	01	0	0
10	10	00	0	1
11	10	11	0	0

Şekil 35. Devrenin durum geçiş tablosu

Durum denklemleri, flip-flop'ların durum geçiş şartlarını tanımlayan matematiksel bir ifadedir. Denklemin sol tarafı FF'nin sonraki durumunu, bir boolean fonksiyonu olan sağ taraf ise sonraki durumu 1'e eşitleyen mevcut durum şartlarını tanımlar. Sonraki durum şartlarının harici giriş değişkenleri ve FF değerleriyle tanımlaması dışında, durum denklemi şeklen FF karakteristik denklemine benzer. Durum denklemi, doğrudan doğruya durum tablosundan elde edilir. Örneğin; A FF'sine ait durum denklemi Şekil 35'den elde edilebilir. Sonraki durum sütunlarından A FF'sinin '1' durumuna dört kez geçtiğini görürüz. Bu durumlar; X=0 iken AB= 01, 10, 11 durumları ile, X=1 iken AB=11 olduğu bileşenlerdir. Anlatılanlar bir durum denkleminde matematiksel olarak;

$A(t+1) = (A'B + AB' + AB)X' + ABX$ formülü ile ifade edilebilir. Denklemin sol tarafı; FF'nin harf sembolünü ve FF'nin bir sonraki alacağı değeri ifade eden zaman fonksiyon sembolünü içerir $[A(t+1)]$. Aynı şekilde, B FF'sinin dört kere '1' değerine sahip olduğu durum tablosunda görülmektedir. Bu durumda, tablodan faydalanarak B FF'si için; $B(t+1) = A'BX' + (A'B' + A'B + AB)X$ denklemi yazılabilir. Durum denklemlerinin sağ tarafı mevcut durum için bir boolean fonksiyonudur. Bu fonksiyon 1'e eşit olunca, bir sonraki tetikleme palsı ile A FF'sinin sonraki durumu '1' olur. Fonksiyonun '0' olması ise, sonraki durumu '0'a eşitler.

Durum Denklemleri

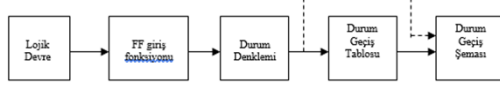


Şekil 36. FF durum denklemlerinin Karnaugh haritası yardımıyla sadeleştirilmesi

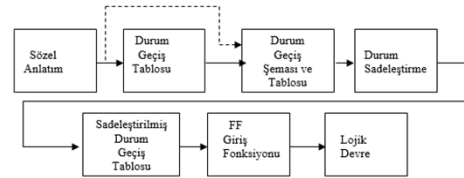
A ve B FF'lerinin durum denklemleri, Şekil 36'daki Karnaugh haritaları ile sadeleştirilebilir. Yukarıda bulunan durum denklemleri Karnaugh haritalarına taşınır ve Karnaugh yardımıyla sadeleştirme yapılırsa, sadeleştirme sonucunda $A(t+1) = Ax' + Bx' + AB$ ve $B(t+1) = A'B + A'x + Bx$ denklemleri bulunur.

Ardışıl Devre Tasarımı

- Ardışıl bir devrenin çözümlenmesi, lojik devreden yola çıkarak durum geçiş şeması ve durum geçiş tablosunun oluşturulması, böylece devrenin giriş - çıkış ilişkisinin saptanması ile sonuçlanan bir işlemdir. Bu işlem, Şekil 37'deki blok şemada özetlenmektedir.
- Ardışıl devrenin tasarımı ise; oluşturulması istenen devrenin sözel olarak ifade edilmesinden başlayıp, devre çözümleme işleminin aşamalarının ters sırada uygulanarak lojik devrenin çizilmesi ile sonuçlanan bir işlemler dizisidir (Şekil 38).



Şekil 37. Ardışıl devre çözümleme işleminin aşamaları



Şekil 38. Ardışıl devre tasarım aşamaları

Durum Sadeleştirme (Durum İndirgeme)

Her tasarım sürecinde lojik devrenin maliyetinin en aza indirilmesi hedeflenir. Maliyeti düşürmenin en kısa yolu; kullanılan elemanların (FF ve kapı devreleri) sayısını azaltacak işlemlerin yapılmasıdır. Ardışıl bir devrede kullanılan eleman sayısını azaltmak amacıyla yapılan işlem, '**durum indirgeme**' veya '**durum sadeleştirme**' olarak adlandırılır. Durum indirgemesi, giriş-çıkış ilişkisini yerine getirecek devreler arasından en az donanıma gereksinim duyanı bulmaktır. Diğer bir deyişle, harici giriş-çıkış gereksinimlerini aynen koruyarak durum sayısını azaltma işlemidir. Durum indirgemesinin, kullanılan FF sayısını azaltırken gerekli lojik kapı sayısının artmasına neden olabileceğini unutmamak gerekir. İndirgeme işlemini açıklamadan önce belirtilmesi gereken önemli bir nokta; indirgeme işleminin yalnızca giriş ve çıkış denklemleri veya değerleri ile ilgilenilmesi durumunda kullanılabileceğidir. Mevcut durumların doğrudan çıktı olarak kullanıldığı devrelerde (örneğin sayıcılar) yada oluşturulan ara durumların işlevinin olduğu sistemlerde durum indirgemesi yapılamaz. Durum indirgemesi işlemi, 'yuvaya dönen-reset' ve 'yuvaya dönmeyen-nonreset' devreler için farklı şekillerde gerçekleştirilir.

Ardışıl bir devre, belirli işlemler sonucunda belirli bir duruma yani bir yuva durumuna dönüyorsa, 'yuvaya dönen devre' olarak nitelendirilir. Yuvaya dönen devrelerde durum indirgemesi, eşdeğer durumları kaynaştırılması ile gerçekleştirilir. İki mevcut durumun eşdeğer sayılabilmesi için, gelecek durumlarının ve ürettikleri çıktıların aynı olması gerekir. Kaynaştırılacak durumlar, durum tablosundan yararlanılarak belirlenir.

Durum Sadeleştirme (Durum İndirgeme)

Örnek : Şekil 39’da durum geçiş tablosu verilen ardışıl devrenin durum sayısını indirgeyelim.

- Bu örnekte ‘yuva’, ‘E’ durumudur. Tablonun incelenmesinden; ‘A’ ve ‘D’ durumlarının aynı gelecek ve aynı çıktı değerlerine sahip yani eşdeğer oldukları görülür. Dolayısıyla bu iki durum $A=D$ özdeşliği ile birleştirilirse; ‘D’ durumu silinir ve ‘D’ görülen yere ‘A’ yazılırsa, Şekil 40’daki yeni tablo elde edilir. Sonuç olarak; beş olan durum sayısı dörde ve devre için gerekli FF sayısı üçten ikiye indirgenmiş olur.

Şimdiki durum	Gelecek durum (Sonraki)		Çıktı	
	X=0	X=1	X=0	X=1
A	A	C	0	1
B	C	D	1	0
C	D	E	1	1
D	A	C	0	1
E	E	E	0	1

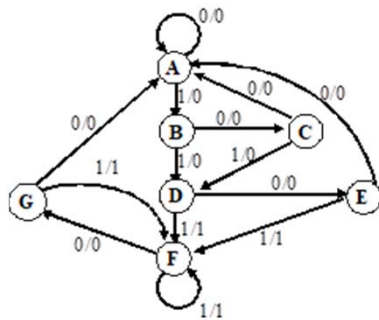
Şekil 39

Şimdiki durum	Gelecek durum		Çıktı	
	X=0	X=1	X=0	X=1
A	A	C	0	1
B	C	A	1	0
C	A	E	1	1
E	E	E	0	1

Şekil 40

Durum Sadeleştirme (Durum İndirgeme)

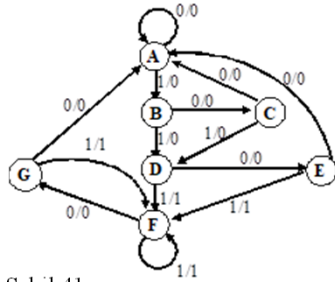
- Durum şeması verilen bir devrede durum indirgeme işlemi yapılması gerektiğinde, durum şemasından durum tablosunun oluşturulması gerekir. Şekil 41’de yalnızca giriş - çıkış sırası önemli olan, iç durumların yalnızca gerekli sırayı sağlamak için kullanıldığı bir devrenin durum şeması görülmektedir. Bu nedenle, dairelerin içerisindeki işaretli durumlar ikili değerleri yerine harf sembolleri ile gösterilmiştir. Durum şemasında daireler içerisindeki harfleri mevcut durum kabul ederek, gelecek durum ve çıkışları elde edebiliriz.



Şekil 41

Durum Sadeleştirme (Durum İndirgeme)

- Elde edilen durum geçiş tablosunda, 'D' ile 'F' ve 'E' ile 'G' durumlarının eşdeğer olduğu görülür. Eşdeğer olan çiftlerden 'F' ve 'G' durumları silinir ve gelecek durum sütununda 'F' görülen yere 'D', 'G' görülen yere 'E' yazılırsa, Şekil 42' b-deki tablo elde edilir. İncelenen örnekte ardışıl devrenin durum sayısı 7'den 5'e indirilmiş, ancak gerekli FF sayısında bir azalma olmamıştır.



Şekil 41

Şimdiki Durum	Gelecek Durum		Çıktı	
	X=0	X=1	X=0	X=1
A	A	B	0	0
B	C	D	0	0
C	A	D	0	0
D	E	F	0	1
E	A	F	0	1
F	E	F	0	1
G	A	F	0	1

Şekil 42 a

Şimdiki Durum	Gelecek Durum		Çıktı	
	X=0	X=1	X=0	X=1
A	A	B	0	0
B	C	D	0	0
C	A	D	0	0
D	E	D	0	1
E	A	D	0	1

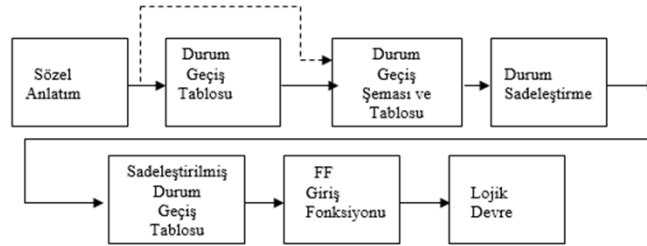
Şekil 42 b

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

- Ardışıl bir devrenin bileşik devre kısmının maliyeti, bileşik devrelerin sadeleştirilmesi için kullanılan sadeleştirme yöntemleri ile azaltabilir. Ancak bileşik devrenin sadeleştirilmesi sırasında; başlangıçtaki harf simgeleriyle gösterilmiş olan durumlara birer ikili değer atama işlemi, yani durum ataması denen başka bir faktör ortaya çıkar. Bu faktör özellikle ardışıl devre dış giriş-çıkış uçları açısından değerlendirildiği zaman faydalıdır. Oysa, sayıcı ve zamanlayıcı gibi devrelerde erişilen durum aynı anda devrenin çıktısını oluşturduğundan, durum ataması konusunda hiçbir esneklik olamaz ve durumun ikili değeri çıktının değerine eşittir. Mevcut birçok durum tahsisi yöntemi bulunmaktadır (Armstrong-Hunaphrey vb.). Ancak bu yöntemler içerisinden minimum maliyetli bir bileşik devre garanti edecek bir durum tahsisi (ataması) yöntemi belirlenememiştir. Bu yöntemler anahtarlama ve durum makinaları teorisi ile ilgili kaynaklarda bulunabilir. Biz burada ardışıl devrenin tasarım aşamalarını örneklerle inceleyelim.

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

- Ardışıl devrenin tasarımı, devrenin özelliklerinin tanımlanmasıyla başlar ve bir mantık şemasıyla veya mantık şeması elde etmek için kullanılacak Boolean fonksiyonları ile devam eder. Doğruluk tablosuyla tam olarak tanımlanabilen bileşik devrelerin tersine, sıralı devreler özellik tanımlı için bir durum tablosu gerektirir. Bu nedenle ardışıl devrelerin tasarımında ilk adım; durum tablosu, durum şeması veya durum denklemlerinden birisinin oluşturulmasıdır (Şekil 43)



Şekil 43

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

- Diğer yandan, senkron ardışıl bir devre FF ve lojik kapılardan oluşur. Bu nedenle, tasarım sırasında kapıların oluşturduğu bileşik devre ve FF'lerin oluşturduğu ardışıl devrenin birlikte tasarlanması gerekir. Tasarım sırasında takip edilecek adımlar aşağıdaki gibi özetlenebilir:
 - Devre sözel olarak açıklanır. Bu arada devre şeması, zamanlama şeması veya diğer uygun bilgiler açıklanabilir. Bunlardan devrenin durum geçiş şeması çizilebilir.
 - Devre konusunda verilen tüm bilgiler ve durum geçiş şeması değerlendirilerek durum tablosu oluşturulur.
 - Durumlar simgelerle (örneğin harf) ifade edilerek, durum indirgeme yöntemleri yardımıyla durum sayısı azaltılmaya çalışılır.
 - Elde edilen durum tablosunun harf içermesi halinde, her bir duruma karşılık binary değer atanır.
 - Eldeki durum sayısına bağlı olarak gereken FF sayısı belirlenir ve her bir FF'ye büyük harf sembol verilir.
 - Kullanılacak FF türü (SR, JK, T, D türlerinden biri) seçilir.
 - Durum geçiş şemasından yola çıkarak ve seçilen FF türünün davranışı göz önüne alınarak FF durum denklemleri oluşturulur.
 - Karnaugh haritası veya farklı bir sadeleştirme yöntemi kullanılarak sadeleştirme yapılır ve FF giriş fonksiyonları elde edilir.
 - Lojik devre çizilir ve FF bağlantıları gösterilir.

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

- Ardışıl devre tasarımında tecrübe kazandıktan sonra, tasarım için sıralama aşamaları azaltmak ve tasarım işlemini hızlandırmak mümkündür. Ayrıca durum sayısının ve durumlara atanan ikili değerlerin bilinmesi durumunda 3 ve 4 nolu basamaklar atlanabilir. Tasarımda kullanılacak FF türü tasarım sırasında belirlenebileceği gibi, tasarımcının piyasadan temin edebildiği türlere de bağlı olabilir. Dijital sistemlerin birçoğu, mevcutlar arasında en kullanışlı FF türü olması nedeniyle JK FF'ler ile oluşturulur. FF türlerinin tümünün bulunduğu durumlarda; veri transferi gerektiren (kaymalı kaydedici gibi) uygulamalarda RS veya D tipi, sayıcı gibi uygulamalarda JK veya T tipi, genel uygulamalarda ise JK tipi FF'ler tercih edilir.

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

Örnek: Şekil 44'de blok şeması ve çalışma programı verilen lojik devreyi RS, JK, D ve T tipi FF'ler kullanarak ayrı-ayrı tasarlayalım.

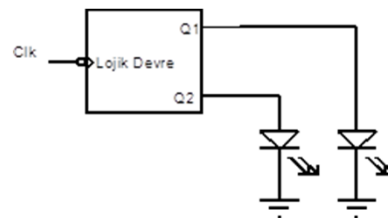
Çalışma programında görüldüğü gibi, ilk tetikleme işareti ile $Q_1=0$, $Q_2=1$ olacak yani D_1 sönmük D_2 yanık olacaktır. Daha sonraki tetikleme işaretlerinde sırasıyla;

$Q_1=0$, $Q_2=0$ D_1 ve D_2 sönmük

$Q_1=1$, $Q_2=0$ yani D_1 yanık, D_2 sönmük durumları oluşacaktır.

$Q_1=1$, $Q_2=1$ D_1 ve D_2 yanık

Clk	Q_1	Q_2
0	0	1
1	0	0
2	1	0
3	1	1



Şekil 44

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

Özetlenen çıkış dizisini gerçekleştiren devre ilk durumuna döner ve işlem tekrar başlar. Açıklamalardan anlaşılacağı üzere, devre çıkışlarının değişme süresini tetikleme işaretinin frekansı tayin eder. Tetikleme işaretinin frekansının artması ile LED'in yanıp sönme süreleri azalır.

i- Tasarım sırasında daha önce verilen işlem sırasından bazıları ihmal edilebilir. Bu durumda; durum sayısı 4 olduğundan kullanılacak FF sayısı 2 olarak tespit edilir.

ii- Seçilen FF tipi için, devre çıkış tablosu ve FF geçiş tablosundan faydalanılarak devre durumu geçiş tablosu hazırlanır (Şekil 45).

iii- Her bir geçiş tablosu Karnaugh haritasına uygulanarak, sadeleştirilmiş lojik ifade elde edilir.

iv- Bulunan eşitliklere göre, FF'lere kapılar eklenerek lojik devre çizilir.

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

Özetlenen çıkış dizisini gerçekleştiren devre ilk durumuna döner ve işlem tekrar başlar. Açıklamalardan anlaşılacağı üzere, devre çıkışlarının değişme süresini tetikleme işaretinin frekansı tayin eder. Tetikleme işaretinin frekansının artması ile LED'in yanıp sönme süreleri azalır.

i- Tasarım sırasında daha önce verilen işlem sırasından bazıları ihmal edilebilir. Bu durumda; durum sayısı 4 olduğundan kullanılacak FF sayısı 2 olarak tespit edilir.

ii- Seçilen FF tipi için, devre çıkış tablosu ve FF geçiş tablosundan faydalanılarak devre durumu geçiş tablosu hazırlanır (Şekil 45).

iii- Her bir geçiş tablosu Karnaugh haritasına uygulanarak, sadeleştirilmiş lojik ifade elde edilir.

iv- Bulunan eşitliklere göre, FF'lere kapılar eklenerek lojik devre çizilir.

Çözüm 1: İlk olarak RS FF ile tasarım yapılacağına ve kullanılacak FF sayısı 2 olacağına göre; devrenin çıkış durumlarını gösteren devre çıkış tablosu hazırlanır (Şekil 45.a.). Daha sonra Şekil 45.b'de verilen RS FF geçiş tablosundan faydalanılarak, Q_1 için S_1 , R_1 ve Q_2 için S_2 , R_2 geçişleri oluşturulur (Şekil 45.c)

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

Q1	Q2	S1	R1	S2	R2
0	1				
0	0				
1	0				
1	1				
0	1				

Şekil 45.a Devre Çıkış Tablosu

Bu değerler;

Q1; 0'dan 0'a geçerken $S_1=0$, $R_1=d$

0'dan 1'e geçerken $S_1=1$, $R_1=0$

1'den 1'e geçerken $S_1=d$, $R_1=0$

1'den 0'a geçerken $S_1=0$, $R_1=1$ şeklindedir.

Q(t)	Q(t+1)	S	R
0	0	0	d
0	1	1	0
1	0	0	1
1	1	d	0

Şekil 45.b RS FF geçiş tablosu

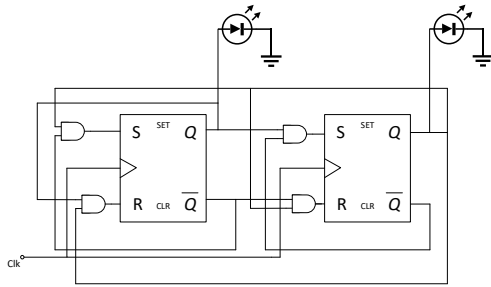
Q ₁	Q ₂	S ₁	R ₁	S ₂	R ₂
0↓	1↓	0	d	0	1
0↓	0↓	1	0	0	d
1↓	0↓	d	0	1	0
1↓	1↓	0	1	d	0
0↓	1↓				

Şekil 45.c Devre Durum Geçiş Tablosu

S ₁	Q ₂	R ₁	Q ₂	S ₂	Q ₂	R ₂	Q ₂
Q ₁	0	1	Q ₁	0	1	Q ₁	0
0	0	1	0	0	0	0	1
1	d	0	1	1	d	0	0
$S_1 = Q_1' Q_2$				$R_1 = Q_1 Q_2$			
$S_2 = Q_2' Q_1$				$R_2 = Q_1' Q_2$			

Şekil 46. Geçiş tablolarının Karnaugh haritalarına taşınması ve eşitliklerin yazılması.

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri



Şekil 47. Şekil 44'deki işlemi, RS FF'lerle gerçekleştirecek ardışıl devrenin lojik şeması

Q₁ için yazılan bu değerler gibi, Q₂ için R₂ ve S₂ değerlerinin bulunarak tabloya yazılması ile Şekil 45.c'deki durum geçiş tablosu elde edilir. Bulunan değerler S₁, R₁, S₂ ve R₂ için oluşturulan Karnaugh haritalarına taşınıp, bu değişkenler için basitleştirilmiş eşitlikler elde edilir (Şekil 46). Elde edilen eşitlikleri temsil eden lojik devrenin çizilmesi ile, Şekil 47'deki devre oluşur.

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

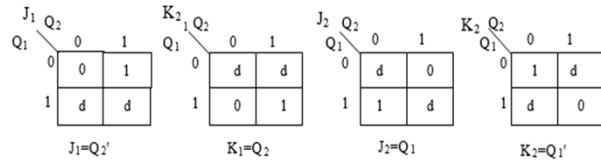
Çözüm 2: Aynı problemi JK FF'ler kullanarak gerçekleştirelim. Aynı işlem sırası ve 2 adet JK FF kullanılarak, aynı işlemi gerçekleştirecek devreyi çizelim. Önce Şekil 48.a'da verilen JK geçiş tablosunu kullanarak, Şekil 48.b'de verilen J1, K1, J2, K2 girişleri için FF geçiş tablosu oluşturulur. FF'lerin geçiş tablosundaki değerlerin Karnaugh haritalarına taşınması ve gruplandırma yapılması sonucunda Şekil 48.c'deki eşitlikler elde edilir. Karnaugh şemalarından yazılan eşitlikleri temsil eden lojik devrenin çizilmesi ile, Şekil 49'deki ardışıl devre oluşur.

Qt	Qt+1	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

a) JK FF geçiş tablosu. [Başlangıç durumu](#) →

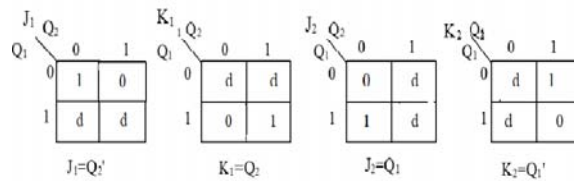
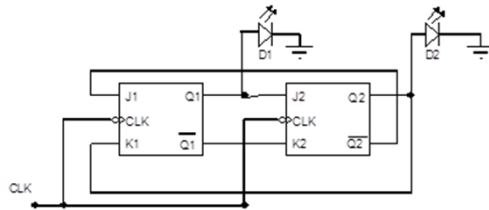
Q1	Q2	J1	K1	J2	K2
0	1	0	d	d	1
0	0	1	d	0	d
1	0	d	0	1	d
1	1	d	1	d	0
0	1				

b) Devre durum geçiş tablosu.



c) Karnaugh haritaları ile lojik fonksiyonların elde edilmesi.

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri



Şekil 49. ardışıl devrenin JK FF'lerle gerçekleştirilmesi Şekil 48.c.Karnaugh haritaları ile lojik fonksiyonların elde edilmesi

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

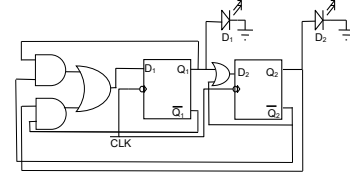
Çözüm 3: İstenilen devreyi D tipi FF'lerle gerçekleştirmek için; Şekil 50.a'daki D tipi FF geçiş tablosundan faydalanılarak Şekil 50.b'deki FF'lere ait geçiş tablosu oluşturulur. Geçiş tablolarının Karnaugh haritalarına taşınması ile, gerçekleştirilmesi gerekli fonksiyonlar yazılır (Şekil 50.c). Yazılan fonksiyonları temsil eden lojik devrenin çizilmesi ile Şekil 50.d'deki ardışıl devre oluşur.

Q _n	Q(n+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

a) D tipi FF geçiş tablosu.

b) FF'ler için geçiş tablosu

Q ₁	Q ₂	D ₁	D ₂
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	1
0	1		



d) Devrenin D tipi FF'lerle gerçekleştirilmesi

Q ₁	Q ₂	D ₁
0	0	0
0	1	1
1	0	1
1	1	0

$$D_1 = Q_1 Q_2' + Q_1' Q_2$$

c) Geçiş tablolarının Karnaugh haritalarına taşınması

Q ₁	Q ₂	D ₂
0	0	1
0	1	0
1	0	1
1	1	1

$$D_2 = Q_2' + Q_1$$

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

Çözüm 4: İstenilen devreyi T tipi FF'lerle oluşturmak için; Şekil 51.a'daki T tipi FF geçiş tablosundan faydalanılarak Şekil 51.b'deki T₁ ve T₂ FF'lerine ait geçiş tabloları oluşturulur. Oluşturulan T₁ ve T₂ değerlerinin Karnaugh haritalarına taşınması ile, gerçekleştirilecek devreyi temsil eden fonksiyonlar yazılır (Şekil 51.c). Yazılan fonksiyonları gerçekleştirecek devrenin çizilmesiyle, Şekil 51.d'deki devre oluşur.

Q _n	Q(n+1)	T
0	0	0
0	1	1
1	0	1
1	1	0

a) T tipi FF geçiş tablosu

Q ₁	Q ₂	T ₁	T ₂
0	0	0	1
0	1	1	0
1	0	0	1
1	1	1	0
0	1		

b) Devre durum geçiş tablosu.

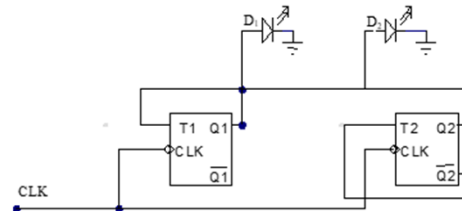
Q ₁	Q ₂	T ₁
0	0	0
0	1	1
1	0	1
1	1	0

c) Durum geçiş tablosunun Karnaugh haritalarına taşınması.

Q ₁	Q ₂	T ₂
0	0	1
0	1	0
1	0	1
1	1	0

$$T_1 = Q_2$$

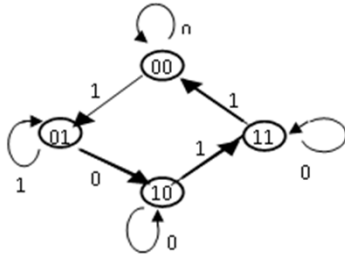
$$T_2 = Q_2'$$



d) Tasarlanan devrenin T tipi FF'lerle gerçekleştirilmesi.

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

Örnek: Şekil 52.a'da durum şeması verilen tetiklemeli sıralı devreyi, JK FF'lerle oluşturmak için gerekli tasarımı yapalım.



a) Durum Şeması

Mevcut Durum		Sonraki Durum			
		X=0		X=1	
A	B	A	B	A	B
0	0	0	0	0	1
0	1	1	0	0	1
1	0	1	0	1	1
1	1	1	1	0	0

b) Durum Tablosu

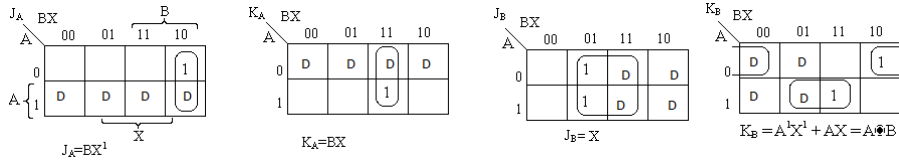
Q(t)	Q(t+1)	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

c) JK FF Geçiş Tablosu.

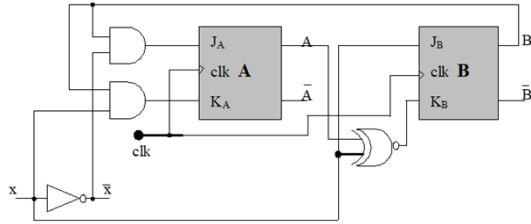
Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri

Mevcut Durum		Giriş	Sonraki Durum		Flip-Flop Girişleri			
A	B	x	A	B	J _A	K _A	J _B	K _B
0	0	0	0	0	0	D	0	D
0	0	1	0	1	0	D	1	D
0	1	0	1	0	1	D	D	1
0	1	1	0	1	0	D	D	0
1	0	0	1	0	D	0	0	D
1	0	1	1	1	D	0	1	D
1	1	0	1	1	D	0	D	0
1	1	1	0	0	D	1	D	1

Ardışıl Devre Tasarım Aşamaları ve Tasarım Örnekleri



Şekil 53. İfadelerin Karnaugh haritalarına taşınması ve eşitliklerin yazılması.



Şekil 54. Tasarlanan devrenin mantık şeması.

Tekrarlama ve Çalışma Soruları

1. 'Ardışıl devreyi' tarif ederek, bileşik devre ile farkını açıklayınız.
2. Ardışıl devreleri, uygulanan sinyallerin zamanlamasına bağlı olarak gruplandırınız.
3. 'Tetiklemeli ardışıl devreleri' tanımlayınız.
4. Senkron ve asenkron ardışıl devreler arasındaki temel farkı açıklayınız.
5. Ardışıl devrenin davranışını etkileyen faktörler nelerdir?
6. Ardışıl devre analiz yöntemlerini sıralayınız.
7. Durum geçiş şeması yöntemini özetleyiniz.
8. Tam toplayıcı devresinin durum geçiş şemasını çıkarınız.
9. Durum tablosu oluşturma işlemini özetleyiniz.
10. Ardışıl toplayıcıda elde tablosu için durum geçiş şemasını oluşturunuz.
11. Ardışıl toplayıcı durum geçiş şemasından faydalanarak durum tablosunu oluşturunuz.
12. Ardışıl toplayıcı için oluşturulan durum tablosunu kullanarak durum denklemini çıkarınız. Bulduğunuz durum denklemini Karnaugh haritaları kullanarak sadeleştiriniz.
13. Durum denkleminde eşitliğin sağ ve sol taraflarının taşıdıkları anlamları açıklayınız.
14. Ardışıl devre çözümleme işlemi aşamalarını blok şema kullanarak özetleyiniz.
15. Ardışıl devre tasarım aşamalarını maddeler halinde sıralayınız.
16. 'Durum indirgeme' terimini açıklayınız.
17. Durum indirgemesi, ardışıl devrelerin hangi durumları için geçerlidir?
18. Ardışıl devrelerde durum ataması işlemini tartışınız.

Tekrarlama ve Çalışma Soruları

19. Sırası ile 0'dan 10'a kadar tek sayıları çıkış olarak veren ardışıl devreyi JK FF'ler kullanarak gerçekleştiriniz.

Aşağıda verilen durum tablosundaki durum sayısını azaltınız.

Şimdiki Durum	Gelecek durum (Sonraki)		Çıktı	
	X=0	X=1	X=0	X=1
A	B	C	0	1
B	C	D	1	0
C	B	C	0	1
D	D	A	1	0
E	B	C	0	1

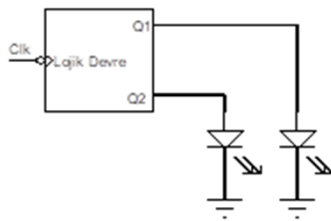
20. Aşağıda verilen durum tablosundaki durum sayısını azaltınız.

Şimdiki Durum	Gelecek durum (Sonraki)		Çıktı	
	X=0	X=1	X=0	X=1
A	A	B	1	0
B	C	D	0	1
C	B	C	0	0
D	A	C	1	1
E	B	C	0	0
F	B	C	0	0

21. Blok şeması ve çalışma tablosu verilen ardışıl devreyi RS FF'ler kullanarak tasarlayınız.

Tekrarlama ve Çalışma Soruları

22. Blok şeması ve çalışma tablosu verilen ardışıl devreyi RS FF'ler kullanarak tasarlayınız.



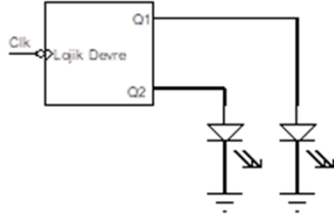
Clk	Q ₁	Q ₂
0	1	1
1	0	0
2	0	1
3	1	0

23. 0-7 arasındaki tek sayıları çıkış olarak veren ardışıl devreyi JK FF'ler kullanarak tasarlayınız.

24. 0-15 arasındaki çift sayıları sırası ile çıkış olarak veren ardışıl devreyi JK FF'ler kullanarak tasarlayınız.

Tekrarlama ve Çalışma Sorularının Çözümü

22. Blok şeması ve çalışma tablosu verilen ardışıl devreyi RS FF'ler kullanarak tasarlayınız.



Clk	Q ₁	Q ₂
0	1	1
1	0	0
2	0	1
3	1	0

i-Durum sayısı 4 olduğundan kullanılacak FF sayısı 2 olarak tespit edilir.

ii-Seçilen FF tipi için, devre çıkış tablosu ve FF geçiş tablosundan faydalanılarak devre durumu geçiş tablosu hazırlanır.

iii-Her bir geçiş tablosu Karnaugh haritasına uygulanarak, sadeleştirilmiş lojik ifade elde edilir.

iv-Bulunan eşitliklere göre, FF'lere kapılar eklenerek lojik devre çizilir.

Tekrarlama ve Çalışma Sorularının Çözümü

Q ₁	Q ₂	S ₁	R ₁	S ₂	R ₂
1	1				
0	0				
0	1				
1	0				
1	1				

İlk durum→

Q _t	Q _{t+1}	S	R
0	0	0	d
0	1	1	0
1	0	0	1
1	1	d	0

Q ₁	Q ₂	S ₁	R ₁	S ₂	R ₂
1↓	1↓	0	1	0	1
0↓	0↓	0	d	1	0
0↓	1↓	1	0	0	1
1↓	0↓	d	0	1	0
1↓	1↓				

Devre Çıkış Tablosu

RS FF Geçiş Tablosu

Devre Durum Geçiş Tablosu

S ₁	Q ₁	Q ₂
0	0	0
1	d	

$$S_1=Q_1$$

S ₂	Q ₁	Q ₂
0	0	1
0	0	1

$$S_2=Q_2$$

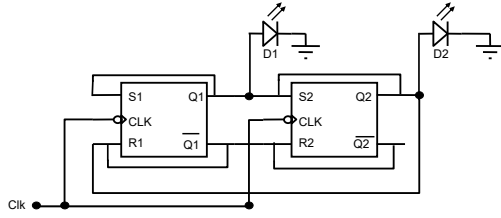
R ₁	Q ₁	Q ₂
1	d	
0	0	0

$$R_1=\overline{Q_1}$$

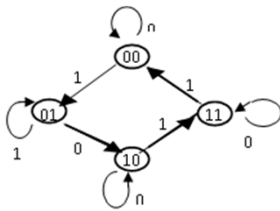
R ₂	Q ₁	Q ₂
1	0	
1	0	

$$R_2=\overline{Q_2}$$

Tekrarlama ve Çalışma Sorularının Çözümü



25. Durum şeması verilen ardışıl devreyi RS FF'ler kullanarak tasarlayınız.



Durum şeması

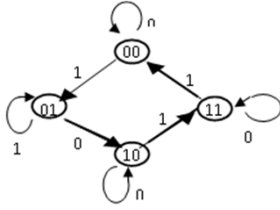
Mevcut Durum		Sonraki Durum			
		X=0		X=1	
A	B	A	B	A	B
0	0	0	0	0	1
0	1	1	0	0	1
1	0	1	0	1	1
1	1	1	1	0	0

Durum Tablosu

Q _t	Q _(t+1)	S	R
0	0	0	d
0	1	1	0
1	0	0	1
1	1	d	0

RS FF Geçiş Tablosu

Çözüm :



Durum şeması

Mevcut Durum		Sonraki Durum			
		X=0		X=1	
A	B	A	B	A	B
0	0	0	0	0	1
0	1	1	0	0	1
1	0	1	0	1	1
1	1	1	1	0	0

Durum Tablosu

Q _t	Q _{t+1}	S	R
0	0	0	d
0	1	1	0
1	0	0	1
1	1	d	0

RS FF Geçiş Tablosu

Mevcut Durum			Giriş		Sonraki Durum		Flip-Flop Girişleri			
A	B	x	A	B	A	B	S _A	R _A	S _B	R _B
0	0	0	0	0	0	0	0	d	0	d
0	0	1	0	1	0	1	0	d	1	0
0	1	0	1	0	1	0	1	0	0	1
0	1	1	0	1	0	1	0	d	d	0
1	0	0	1	0	1	0	d	0	0	d
1	0	1	1	1	1	1	d	0	1	0
1	1	0	1	1	1	1	d	0	d	0
1	1	1	0	0	0	0	0	1	0	1

Durum geçiş tablosu ve RS FF girişleri

Mevcut Durum			Giriş		Sonraki Durum		Flip-Flop Girişleri			
A	B	x	A	B	A	B	S _A	R _A	S _B	R _B
0	0	0	0	0	0	0	0	d	0	d
0	0	1	0	1	0	1	0	d	1	0
0	1	0	1	0	1	0	1	0	0	1
0	1	1	0	1	0	1	0	d	d	0
1	0	0	1	0	1	0	d	0	0	d
1	0	1	1	1	1	1	d	0	1	0
1	1	0	1	1	1	1	d	0	d	0
1	1	1	0	0	0	0	0	1	0	1

S _A	BX				
A	0	0	0	1	
	d	d	0	d	

$$S_A = B\bar{X}$$

R _B	BX				
A	d	0	0	1	
	d	0	1	0	

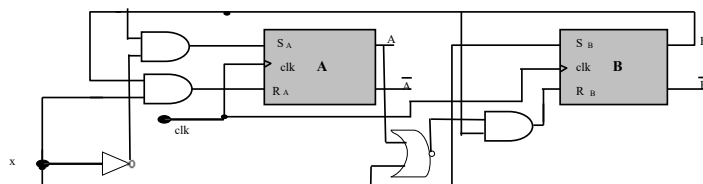
$$R_B = ABX + \bar{A}\bar{B}\bar{X}$$

R _A	BX				
A	d	d	d	0	
	0	0	1	0	

$$R_A = BX$$

S _B	BX				
A	0	1	d	0	
	0	1	0	d	

$$S_B = X$$



KAYNAKLAR

Prof. Dr. Hüseyin EKİZ, MANTIK DEVRELERİ, DERS NOTLARI, SAKARYA ÜNİVERSİTESİ.